

Frame buffer**BEST AVAILABLE COPY**

Patent number: DE3739423
Publication date: 1989-06-08
Inventor: OKAMURA TAKUMI (JP); KOJIMA NOBORU (JP);
NAKAGAWA ISAO (JP); NAKAJIMA MITSUO (JP);
KONDO KAZUO (JP); MATSUMOTO SHUZO (JP);
OISHI KANJI (JP); HIRAHATA SHIGERU (JP)
Applicant: HITACHI LTD (JP)
Classification:
- **International:** G11C7/00; H04N5/907
- **European:** G11C7/22; G11C8/00; G11C8/18; G11C27/04;
H04N5/907
Application number: DE19873739423 19871120
Priority number(s): DE19873739423 19871120

Abstract of DE3739423

A frame buffer exhibits a serial/parallel converter in order to convert serial input data into parallel data, a first latching device for latching the parallel data from the serial/parallel converter, a data buffer for storing parallel data which were output by the first latching device, a second latching device for latching parallel data which were read out from the data buffer, a parallel/serial converter for converting parallel data, which were read out at the second latching device, into serial data, an address generator for supplying a write address and a read address to the data buffer on a time-division basis, and an address control device for controlling the address generator.

Data supplied from the **esp@cenet** database - Worldwide



DEUTSCHES
PATENTAMT

21 Aktenzeichen: P 37 39 423.1
22 Anmeldetag: 20. 11. 87
43 Offenlegungstag: 8. 6. 89

DE 3739423 A1

71 Anmelder:

Hitachi, Ltd., Tokio/Tokyo, JP

74 Vertreter:

Bardehle, H., Dipl.-Ing.; Dost, W., Dipl.-Chem.
Dr.rer.nat.; Altenburg, U., Dipl.-Phys., Pat.-Anwälte,
8000 München; Hoffmann, W., Dipl.-Phys., Pat.-Ass.,
7030 Böblingen; Wallinger, M., Dipl.-Ing. Dr.-Ing.,
Pat.-Anw.; Pagenberg, J., Dr.jur.; Frohwitter, B.,
Dipl.-Ing., Rechtsanwälte; Geißler, B.,
Dipl.-Phys.Dr.-jur., Pat.- u. Rechtsanwäl.; Kroher, J.,
Dr.; Kowal-Wolk, T., Dr.-jur., Rechtsanwälte, 8000
München

72 Erfinder:

Okamura, Takumi, Yokohama, JP; Kojima, Noboru,
Kawasaki, JP; Nakagawa, Isao; Nakajima, Mitsuo,
Yokohama, JP; Kondo, Kazuo; Matsumoto, Shuzo,
Fujisawa, JP; Oishi, Kanji, Koganei, JP; Hirahata,
Shigeru, Yokohama, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Bildspeicher

Ein Bildspeicher weist einen Seriell/Parallel-Wandler auf, um serielle Eingangsdaten in parallele Daten zu wandeln, eine erste Halteeinrichtung zum Halten der parallelen Daten von dem Seriell/Parallel-Wandler, einen Datenspeicher zum Speichern paralleler Daten, die von der ersten Halteeinrichtung abgegeben wurden, eine zweite Halteeinrichtung zum Halten paralleler Daten, die von dem Datenspeicher ausgelesen wurden, einen Parallel/Seriell-Wandler zum Umwandeln paralleler Daten, die bei der zweiten Halteeinrichtung ausgelesen wurden, in serielle Daten, einen Adressen-Generator zum Zuführen einer Schreibadresse und einer Leseadresse zu dem Datenspeicher auf Zeitteilungs-Basis, und ein Adressen-Steuergerät zum Steuern des Adressen-Generators.

DE 3739423 A1

Die vorliegende Erfindung betrifft einen Bildspeicher, der zum Speichern und Wiedergeben von Videosignalen geeignet ist, und betrifft insbesondere einen Bildspeicher, der zur digitalen Signalverarbeitung mit einer vorbestimmten Zeitverzögerung der abgetasteten und quantisierten Videosignale geeignet ist.

Der Bildspeicher zum Verzögern eines vorbestimmten Zeitintervalls oder Speichern von abgetasteten und quantisierten Videosignalen wird als ein fundamentaler Baustein von Fernsehvorrichtungen mit hoher Bildqualität, eines Videorecorders mit mehrfacher Funktion, einer digitalen Fernseh-Vorrichtung und ähnlichem verwendet, erfordert eine einfache Handhabung und muß allgemeine Zweckerfordernisse einhalten.

In der Vergangenheit ist es Praxis gewesen, daß eine Vielzahl von allgemein verwendbaren dynamischen RAM's (random access memories) mit geringem Preis pro Bit parallel geschaltet wurden, um als Bildspeicher in einer solchen Vorrichtung zu dienen. Jedoch ist die Speicherkapazität pro Chip in letzter Zeit auf 256 Kbit oder 1 Mbit angewachsen und erlaubt die Verwirklichung einer für Videosignal-Verarbeitung notwendigen Speicherkapazität mit einem Chip, und daher ist die gewöhnliche Parallelschaltung einer Vielzahl von Speichern unvorteilhaft geworden, da die Nutz-Effizienz der Speicherkapazität verschlechtert ist.

Da insbesondere die Zykluszeit in dem dynamischen Speicher klein bzw. langsam ist, werden sehr schnelle Daten, wie sie durch ein Videosignal dargestellt sind, gewöhnlich einer zeitlichen Seriell/Parallel-Umwandlung in Einheiten von N -Bits unterworfen (N eine ganze Zahl), um in der Geschwindigkeit verringert zu werden, und danach wird ein Schreiben/Lesen des Speichers mit den gewandelten Daten bewirkt. Folglich wird eine große Anzahl von Speichern benötigt und insbesondere, wenn allgemein verwendbare Speicher mit großer Kapazität und geringem Preis pro Bit verwendet werden, treten in den Speichern viele Bereiche auf, die nicht in Benutzung sind, was zu einer Verschlechterung der Nutz-Effizienz bei der Wortverarbeitung führt.

Um dieses Problem zu lösen, ist kürzlich ein dynamischer Speicher entworfen worden, der für den sehr schnellen seriellen Eingabe/Ausgabe-Betrieb von Daten bestimmt ist, verbunden mit einer horizontalen Abtastleitung, wie beschrieben in "Serial Input/Output type Dynamic Memory Dedicated to Picture of 320 Rows x 700 Columns of Field Memory for Television and VTR" von Nagami und Hara, NIKKEI Electronics, 11. Februar 1985, Seiten 219—239. Um jedoch mit dem vorgeschlagenen Speicher ein System herzustellen, das eine Abtastfrequenz besitzt, welche viermal die Chrominanz-Trägerfrequenz (hier mit fsc bezeichnet) beträgt, im Hinblick auf die Verbesserung der Auflösung oder, um Funktionen wie z. B. das Verkleinern und Vergrößern des Bildes herbeizuführen, und zwar durch wünschenswertes Ausdünnen der in den Speicher geschriebenen und aus dem Speicher ausgelesenen Daten, sind hochentwickelte Anschluß-Schaltkreise nötig und der vorgeschlagene Speicher ist nicht vielseitig einsetzbar in der allgemeinen Funktion der Videosignal-Verarbeitung.

Da in den oben genannten Darstellungen des Standes der Technik Zyklen für ein Schreibtakt-Signal (hier bezeichnet als W. CLK), die zum Schreiben von Daten in einen Bildspeicher verwendet werden, und ein Lesetakt-Signal (hier bezeichnet als R. CLK), das verwendet wird,

um Daten von dem Bildspeicher zu lesen, nicht unabhängig voneinander eingestellt werden können, wird die Herstellung von Schaltkreisen, die außerhalb des Speichers vorgesehen sind, unvorteilhaft kompliziert, wenn es beabsichtigt ist, Funktionen zu verwirklichen, wie beispielsweise das Einbringen eines verkleinerten Bildes in den Speicher durch Ausdünnen der Schreibdaten (hier bezeichnet als Din), bei einem vergrößerten Zyklus des W. CLK und einer Vergrößerung, die durch Ausdünnen der Lesedaten (hier als Dout bezeichnet) hervorgerufen wird bei einem vergrößerten Zyklus von R. CLK.

Darüber hinaus fehlt dem zuvor erwähnten Stand der Technik die zusätzliche Funktion des beliebigen Zugriffs auf den Speicher bei einer extern bezeichneten Adresse, und um in dem herkömmlichen Bildspeicher beispielsweise die Funktion der "Bild und Bild"-Anzeige zweier verschiedener Bilder auf demselben Schirm und eine Funktion der Anzeige von verschiedener Information auf einem Teil des Schirmes zu verwirklichen, wird der Aufbau eines externen Schaltkreises zu diesem Zweck unvorteilhafterweise sehr kompliziert.

Darüber hinaus ist in dem herkömmlichen Speicher keine Möglichkeit des gleichzeitigen Schreibens/Lesens von sehr schnellen seriellen Daten vorgesehen und er ist ungeeignet zur digitalen Verarbeitung von kontinuierlichen Videosignalen auf der Basis der Realzeit. Genauer gesagt ist im Aufbau gemäß dem Stande der Technik ein einzelnes Datenregister, entsprechend einer Zeile, in der Eingabe/Ausgabe-Stufe eines Speicherzellen-Feldes vorgesehen und wird gemeinsam verwendet für Schreib- und Lese-Operationen, so daß Daten zwischen dem Speicherzellen-Feld und dem Datenregister, in Einheiten der einer Zelle entsprechenden Daten, übertragen werden können. Folglich, wenn das kontinuierliche Videosignal beispielsweise eingegeben wird, wird der Speicher fortwährend in den Schreib-Modus gesetzt, womit verhindert wird, daß Daten in dem vorhergehenden Feld gleichzeitig aus dem Speicher ausgelesen werden. Getrennte Bildspeicher zum Lesen und Schreiben müssen daher vorgesehen sein, zum Zwecke der Durchführung von gleichzeitigen Schreib- und Lese-Operationen.

Weil die Datenübertragung zu dem Speicherzellen-Feld in Einheiten von Daten, die einer Zeile entsprechen, erfolgt, kann darüber hinaus die Verzögerungszeit nur in Einheiten von Daten eingestellt werden, die einer Zeile entsprechen, und es ist schwierig, sie auf einen gewünschten Wert einzustellen.

Im Hinblick auf die genannten Nachteile im Stand der Technik ist es eine Aufgabe dieser Erfindung, die Zyklen für den W. CLK und R. CLK unabhängig einstellbar zu machen, um dadurch die im Stande der Technik nicht erreichbaren Funktionen leicht zu verwirklichen und es zu ermöglichen, daß das Schreiben von Daten unterbrochen wird, während beispielsweise der Austast-Zeitdauer bzw. Rücklaufunterdrückungs-Zeitdauer der Videosignale im Hinblick auf die Verbesserung der Nutz-Effizienz der Speicherkapazität.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, einen Bildspeicher zu liefern, der für sehr schnelle Eingabe- und Ausgabe-Operationen geeignet ist und der eine Vielfachfunktion-Verarbeitung auszuführen in der Lage ist, wie z. B. eine Vielfach-Anzeige von zwei verschiedenen Bildern auf zwei Abteilungen bzw. Abschnitten des Schirms und eine gewöhnliche Videosignal-Verarbeitung.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, einen Bildspeicher zu liefern, der zum gleich-

zeitigen Schreiben/Lesen von sehr schnellen seriellen Daten in der Lage ist und die Verzögerungszeit auf einen Wert einzustellen, der nicht auf die Dateneinheit festgelegt ist, die einer Zeile entspricht, sondern die beliebig variabel ist.

Gemäß einer Ausführungsform der Erfindung sind Steuerkreise (gate circuits) zum Schreiben und Lesen getrennt vorgesehen, die dazu dienen, ein Haupttaktsignal (master clock) auszudünnen (hier als CLK bezeichnet), das verwendet wird, um einen Bildspeicher so zu steuern, daß das Taktsignal von verschiedenen Steuersignalen an den Steuerkreisen gesteuert wird, um einen W. CLK zum Bewegen (fetch) eines Datensignals Din und R. CLK zum Abgeben eines Datensignals Dout zu schaffen, ein Zähler (hier als W-Zähler bezeichnet) zum Zählen des W. CLK und ein Zähler (hier als R-Zähler bezeichnet) zum Zählen des R. CLK sind getrennt vorgesehen, und Anforderungs-Generatoren (request) sind getrennt vorgesehen, die jeweils auf zähl-decodierte Werte der Zähler W und R ansprechen, um ein Anforderungssignal zu erzeugen (hier als W. Req bezeichnet), um den Beginn einer Operation zum Schreiben von Daten anzufordern, die als Din in ein Speicherzellen-Feld eingetragen wurden und ein Anforderungssignal (hier als R. Req bezeichnet) zum Anfordern des Beginns einer Operation zum Lesen von Daten von Dout aus dem Speicherzellen-Feld.

Vorzugsweise ist gemäß einer weiteren Ausführungsform der Erfindung ein Zähler (hier als CLK-Zähler bezeichnet) vorgesehen, der den CLK zählt, und dieser Zähler wird zurückgesetzt mit einem Rücksetzsignal (hier als RES bezeichnet), um seinen Zählwert zu initialisieren und das Zählen zu beenden, wenn der Zählwert einen vorbestimmten Wert erreicht, wobei der R-Zähler veranlaßt wird, das Zählen zu beenden während der Zähloperation des CLK-Zählers, und der R. Req-Generator spricht auf zähl-decodierte Werte des CLK-Zählers und des R-Zählers an, um ein R. Req zu erzeugen, in Reaktion auf welches die Operation zum Lesen von Daten aus dem Speicherzellen-Feld beginnt.

Gemäß einer weiteren Ausführungsform weist ein Bildspeicher ein Speicherzellen-Feld auf, einen Seriell/Parallel-Wandler, der serielle Daten empfängt und parallele Daten aus m -Bits abgibt, einen Parallel/Seriell-Wandler, der die parallelen Daten mit m -Bits empfängt und sie umwandelt, um serielle Daten abzugeben, ein Adressen-Steuergerät zum Erzeugen eines Steuersignals auf der Basis einer Zeitteilung, um die parallelen Daten, die einer Seriell/Parallel-Wandlung unterworfen sind, in das Speicherzellen-Feld zu schreiben und ein Steuersignal zum Lesen der parallelen Daten aus dem Speicherzellen-Feld, und einen Adressengenerator, der auf die Steuersignale aus dem Adressen-Steuergerät anspricht, um eine Schreibadresse (genauer gesagt Schreibadressen-Daten) und eine Leseadresse (genauer gesprochen Leseadressen-Daten) an das Speicherzellen-Feld abzugeben, wobei der Adressengenerator wenigstens ein Schreib- und Leseregister aufweist, einen Eingabe-Wählschalter zum Auswählen jeder der von außen zugeführten gewünschten Adressendaten und eines inkrementierten/dekrementierten Adressenwert und zum Bewegen der gewählten Signale in das Schreibregister bzw. Leseregister, und einen Ausgabe-Wählschalter zum wahlweisen Bewegen jeder der in dem Schreib- und Leseregister gespeicherten Werte, um einen gewählten Wert an ein Speicherregister abzugeben, wobei der Wert des Speicherregisters an das Speicherzellen-Feld abgegeben wird und zur gleichen

Zeit zu einer Adressen-Inkrement/Dekrement-Einrichtung geführt wird, um die inkrementierte/dekrementierte Adresse zu erzeugen. In dieser Ausführungsform wird ein Zeitintervall, in dem sowohl das Schreib- als

5 auch das Leseregister ausgewählt wird, ein gewählter Wert, in das Speicherregister bewegt, und durch die Adressen-Inkrement/Dekrement-Einrichtung gelangte Daten werden wiederum ausgewählt von einem der Eingabe-Wählschalter, so daß entweder in das Schreib- oder Leseregister bewegt werden, und als ein Zyklus in dem Adressengenerator behandelt, und während dieses einen Zyklus kann das Ausgangssignal des anderen Registers nicht gewählt werden, um in das Speicherregister bewegt zu werden (es ist gesperrt).

15 Gemäß einer weiteren Ausführungsform weist ein Bildspeicher eine Seriell/Parallel-Wandlereinrichtung (SP-Wandlereinrichtung) auf, zum Bewegen und sequentiellen Wandeln serieller Eingabedaten in parallele Daten in Einheiten von 2^n -Bit (n eine natürliche Zahl), eine Parallel/Seriell-Wandlereinrichtung (PS-Wandlereinrichtung) zum sequenziellen Wandeln der parallelen Daten in Einheiten von 2^n -Bit in serielle Daten und Ausgaben der seriellen Daten, ein Speicherzellen-Feld von ($K \times 2^n$) Spalten \times m Zeilen, wobei K und m natürliche Zahlen sind, einen Schreibzähler zum Zählen der Impulse eines Schreibtaktes, der benutzt wird, um die Eingabedaten in die SP-Wandlereinrichtung zu bewegen und zum Abgeben eines vorbestimmten Signals jedesmal, wenn er bis zu ($L \times 2^n$) Malen gezählt hat (L eine natürliche Zahl), eine erste Halteeinrichtung, die auf das Ausgangssignal des Schreibzählers anspricht, zum Halten der umgewandelten Daten von dem SP-Wandler, einen Lesezähler, zum Zählen der Impulse eines Lesetaktes, der benutzt wird, um Ausgabedaten von der PS-Wandlereinrichtung abzugeben und ein vorbestimmtes Signal jedesmal abzugeben, wenn er bis zu ($J \times 2^n$) Malen (J eine natürliche Zahl) gezählt hat, eine zweite Halteeinrichtung zum zeitweiligen Halten von parallelen Daten, die in Einheiten von 2^n -bits eingegeben sind zum Reagieren auf das Ausgangssignal des Lesezählers, um die Paralleldaten zu der PS-Wandlereinrichtung zu führen, eine Zyklus-Generator-Einrichtung, die auf die Ausgangssignale des Schreib- und Lesezählers anspricht, um einen Schreibzyklus und einen Lesezyklus auf der Basis der Zeitteilung für das Speicherzellen-Feld zu erzeugen, eine Adressengenerator-Einrichtung zum Erzeugen von Schreib- und Leseadressen für das Speicherzellen-Feld, eine Rücksetzeinrichtung zum externen Rücksetzen des Schreibzählers und des Lesezählers, unabhängig voneinander, und eine Initialisierungseinrichtung zum Initialisieren des Adressenwertes der Schreibadresse oder Leseadresse, die von dem Adressengenerator erzeugt wird, synchron mit dem Zurücksetzen des Schreibzählers oder Lesezählers, wobei während des Schreibzyklus die Paralleldaten in Einheit von 2^n -Bits, die in der ersten Halteeinrichtung festgehalten sind, in das Speicherzellen-Feld geschrieben werden, und zwar auf der Basis der Schreibadresse aus der Adressen-Generatoreinrichtung, und während des Lesezyklus werden die parallelen Daten in Einheiten von 2^n -Bit aus dem Speicherzellen-Feld ausgelesen und an die zweite Halteeinrichtung abgegeben, und zwar auf der Basis der Leseadresse-Generatoreinrichtung.

Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der vorliegenden Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen in Verbindung mit der Zeichnung.

Fig. ist ein Blockdiagramm, das eine erste Ausführungsform

rungsform der Erfindung erläutert;

Fig. 2 ist ein Zeitdiagramm, das den Betrieb der in Fig. 1 gezeigten Ausführungsform beispielhaft erläutert;

Fig. 3 ist ein Zeitdiagramm, das ein weiteres Beispiel für den Betrieb der in Fig. 1 gezeigten Ausführungsform erläutert;

Fig. 4 ist ein Schaltdiagramm, das einen beispielhaften R. Req-Zeitgeber-Generator zeigt, wie er in der in Fig. 1 gezeigten Ausführungsform verwendet wird;

Fig. 5 ist ein Schaltdiagramm, das einen beispielhaften W. Req-Zeitgeber-Generator zeigt, wie er in der in Fig. 1 gezeigten Ausführungsform verwendet wird;

Fig. 6 ist ein Schaltdiagramm, das einen beispielhaften REF. Req-Zeitgeber-Generator zeigt, wie er in der in Fig. 1 gezeigten Ausführungsform verwendet wird;

Fig. 7 ist ein Zeitdiagramm, das die Operation der in Fig. 4 bis 6 gezeigten Schaltkreise erläutert;

Fig. 8 ist ein Schaltdiagramm, das einen beispielhaften Zyklusgenerator zeigt, wie er in der in Fig. 1 gezeigten Ausführungsform verwendet wird;

Fig. 9 ist ein Zeitdiagramm, das den Betrieb des in Fig. 8 gezeigten Schaltkreises erläutert;

Fig. 10 ist ein Blockdiagramm, das eine zweite Ausführungsform der Erfindung erläutert;

Fig. 11 ist ein Zeitdiagramm, das ein Beispiel für den Betrieb der in Fig. 10 gezeigten Ausführungsform erläutert;

Fig. 12 ist ein Zeitdiagramm, das ein weiteres Beispiel für den Betrieb der in Fig. 10 gezeigten Ausführungsform erläutert;

Fig. 13 ist ein Schaltdiagramm, das einen beispielhaften Generator zum Erzeugen eines SEL. R und eines Rastimpulssignal (latch pulse) an ein R-Register, die einem Adressen-Generator der in Fig. 10 gezeigten Ausführungsform zugeführt werden;

Fig. 14 ist ein Zeitdiagramm, das ein Beispiel für den Betrieb des in Fig. 13 gezeigten Schaltkreises erläutert;

Fig. 15 ist ein Zeitdiagramm, das den Betrieb der in Fig. 10 gezeigten Ausführungsform erläutert, wenn ein W. CLK mit einem CGW gesteuert wird;

Fig. 16 ist ein Schaltdiagramm, das einen Generator zum Erzeugen von Zyklus-Signalen zeigt, die verwendet werden, um den Adressen-Generator der zweiten Ausführungsform zu steuern;

Fig. 17 ist ein Zeitdiagramm, das den Betrieb des in Fig. 16 gezeigten Schaltkreises erläutert;

Fig. 18 ist ein Blockdiagramm, das eine Modifikation der zweiten Ausführungsform erläutert;

Fig. 19 ist ein Zeitdiagramm, das den Betrieb der in Fig. 18 gezeigten Modifikation erläutert;

Fig. 20 ist ein Blockdiagramm, das eine dritte Ausführungsform der Erfindung erläutert;

Fig. 21 ist ein Zeitdiagramm, das den typischen Betrieb der in Fig. 20 gezeigten Ausführungsform erläutert;

Fig. 22 ist ein Zeitdiagramm, das den Betrieb der in Fig. 20 gezeigten Ausführungsform erläutert, wenn ein Lese-Zurücksetzen, wie gewünscht, bewirkt ist;

Fig. 23 ist ein Zeitdiagramm, das den Betrieb der in Fig. 20 gezeigten Ausführungsform erläutert, wenn ein Lese- und Schreib-Zurücksetzen, wie gewünscht, bewirkt ist;

Fig. 24 ist ein Schaltdiagramm, das einen beispielhaften W-Zähler, einen W. Req-Generator und einen W. Load-Generator zeigt, wie sie in der in Fig. 20 gezeigten Ausführungsform verwendet werden;

Fig. 25 ist ein Schaltdiagramm, das einen beispielhaften R-Zähler, einen R. Req-Generator und einen R. Lo-

ad-Generator zeigt, wie sie in der in Fig. 20 gezeigten Ausführungsform verwendet werden; und

Fig. 26 ist ein Blockdiagramm, das eine Modifikation der dritten Ausführungsform erläutert.

Unter Bezugnahme auf die Fig. 1 und 2 wird ein Bildspeicher gemäß einer bevorzugten Ausführungsform der Erfindung, zusammen mit seinem beispielhaften Schaltbetrieb beschrieben.

In Fig. 1 ist ein SP-Wandler 3 für die Seriell/Parallel-Wandlung mit einem Eingangsanschluß 1 verbunden, der sehr schnelle serielle Daten Din empfängt und er spricht auf ein vorbestimmtes Taktsignal an, um die seriellen Daten zu bewegen und sie in parallele Daten umzuwandeln, die dann ausgegeben werden. Ein Eingaberegler 4 ist mit dem Ausgang des SP-Wandlers 3 gekoppelt und es spricht auf ein externes Kommandosignal an, das später beschrieben wird, um eine Gruppe von gewandelten m -Bit Parallel-Daten, die von dem SP-Wandler 3 gesendet werden, zu bewegen und auszugeben.

Das Ausgangssignal des Eingaberegisters 4 wird zu einem Speicherzellen-Feld 5 geführt, so daß jedes parallele Datum von m -bits sequentiell in das Speicherzellen-Feld 5 eingegeben wird. Ein Ausgaberegister 6, das mit dem Ausgang des Speicherzellen-Feldes 5 gekoppelt ist, speichert m -bit parallele Daten, die von dem Speicherzellen-Feld 5 ausgegeben wurden. Mit dem Ausgang des Ausgaberegisters 6 ist ein PS-Wandler 7 gekoppelt, der die parallelen Eingabedaten in serielle Ausgabedaten wandelt. Der PS-Wandler 7 spricht auf das externe Kommandosignal an, welches später beschrieben wird, um die parallelen Daten aus m -Bit aus dem Ausgaberegister 6 zu bewegen und spricht an auf ein externes Taktsignal, um die bewegten parallelen Daten in serielle Daten umzuwandeln, und zwar als sehr schnelle serielle Daten Dout, die von einem Ausgabeanschluß 2 abgegeben werden.

Mit dem Speicherzellen-Feld 5 ist ein Adressendecoder 8 verbunden, der auf der Basis der Zeitteilung dem Speicherzellen-Feld 5 ein Schreibadressen-Signal zugeführt, genauer gesagt ein Schreibadressen-Datensignal (hier als W-Adressen-Signal bezeichnet). Zum Bezeichnen von Adressen in dem Speicher, in die die parallelen Daten aus m -Bit, welche von dem Input-Register 4 gesendet werden, geschrieben werden, ein Lese-Adressensignal, genauer gesagt ein Lese-Adressen-Datensignal (hier als R-Adressen-Signal bezeichnet) zum Bezeichnen von Adressen, von denen Daten an das Ausgaberegister 6 ausgelesen werden, und ein Renovier(refresh)-Adressen-Signal, genauer gesagt ein Renovier-Adressen-Datensignal (hier als REF-Adressensignal bezeichnet) zum Bezeichnen von Adressen in dem Speicher, die renoviert bzw. wiederaufgefrischt werden sollen. Der Adressendecoder 8 wird mit Zeitteilungs-Adressen versehen, die von einem Adressengenerator 9 gesendet werden, der auf der Basis von Ausgangssignalen des Adressen-Steuergerätes 26 arbeitet.

Der Aufbau des Adressen-Steuergerätes 26 wird nun im Detail angegeben. Das Adressen-Steuergerät 26 weist einen Lese-Steuerkreis (hier als R-Steuerkreis bezeichnet) 15 auf, der auf ein Lese-Steuersignal CGR von einem Anschluß 12 anspricht, um ein System-Taktsignal CLK von einem Anschluß 14 durchzulassen (gate), und einen Schreib-Steuerkreis (gate circuit) 16 (hier als W-Steuerkreis bezeichnet), der auf ein Schreib-Steuersignal CGW anspricht, um den CLK durchzulassen. Ein Lese-Taktsignal R. CLK, das von dem R-Steuerkreis 15 abgegeben wird, und ein Schreib-Taktsignal W. CLK,

das von dem W. Steuerkreis 16 abgegeben wird, werden in einen Lese-Zähler 17 (hier als R-Zähler bezeichnet) bzw. einen Schreib-Zähler 19 (hier als W-Zähler bezeichnet) eingespeist.

Ebenso ist ein System-Taktzähler 18 (hier als CLK-Zähler bezeichnet) vorgesehen, um den Systemtakt, der dem Durchlassen (gating) nicht unterworfen ist, zu zählen, ein Renovier-Zähler 20 (hier als REF-Zähler bezeichnet), und ein Anschluß 11, durch welchen ein Rücksetzsignal RES eingegeben wird.

Das Rücksetzsignal und die Ausgangssignale des R-Zählers 17 und CLK-Zählers 18 werden ODER-verbunden an einem ODER-Schaltkreis 22, um einen Lese-Anforderungs-Generator 23 (R. Req) zugeführt zu werden. In ähnlicher Weise werden die Zählwerte des W-Zählers 19 und REF-Zählers 20 einem Schreib-Anforderungs-Generators 24 (W. Req) und einem Renovier-Anforderungs-Generator 25 (REF. Req) zugeführt. Wenn der R. Req, W. Req und REF. Req-Generator 23, 24 und 25 Ausgangssignale des ODER-Schaltkreises 22, bzw. W-Zählers 19 bzw. REF-Zählers 20 erhalten, erzeugen sie ein R. Req, W. Req und REF. Req-Signal, die ihrerseits an einen Zyklus-Generator 10 angelegt werden. Wenn der Zyklus-Generator 10 die Eingangssignale R. Req, W. Req und REF. Req erhält, stellt er eine Priorität in der Reihenfolge von beispielsweise Lesen, Schreiben und Renovieren auf und legt an den Adressengenerator 9 ein Lesezyklus-Signal (R-Zyklus), ein Schreibzyklus-Signal (W-Zyklus) und ein Renovierzyklus-Signal (REF-Zyklus) dergestalt an, daß diese Zyklussignale nicht miteinander überlappen. Der Adressengenerator 9 spricht auf die Zyklussignale an, um auf der Basis der Zeitteilung entsprechende Adressensignale zu erzeugen, die ihrerseits an den Adressen-Decoder 8 angelegt werden.

Das Adressen-Steuergerät 26 weist des weiteren einen Zeitgabe-Generator 21 auf, der den CLK in der Frequenz teilt, um Signale Φ_0 bis Φ_n zu erzeugen.

Der Zeitgabe-Generator 21 ist eingerichtet, um Signale zur Bestimmung von Zeitgaben zu erzeugen, an denen Steuersignale zum Bestimmen der Betriebszyklen des Adressengenerators 9 erzeugt werden, und er teilt in der Frequenz den CLK durch beispielsweise 1/K und verschiebt in der Phase ein 1/K frequenz-geteiltes Signal mit der Rate des CLK, wodurch Signale gegeben sind, die als Zeitgabesignale verwendet werden.

Zusätzlich zu dem ODER-Schaltkreis 22 sind der R-Zähler 17, der CLK-Zähler 18 und W-Zähler 19 verbunden, um das vorerwähnte Rücksetzsignal RES von Anschluß 11 zu empfangen und jeder Zähler ist zurücksetzbar mit dem Rücksetzsignal RES.

Die Ausgangssignale R. CLK und W. CLK des R-Steuerkreises 15 und W-Steuerkreises 16 werden ebenso dem PS-Wandler 2 bzw. SP-Wandler 3 zugeführt, so daß diese Wandler jeweils die Abgabe und den Empfang der seriellen Daten synchron mit den Taktsignalen durchführen.

Der R. Req-Generator 23 und W. Req-Generator 24 geben ein R. Ladesignal und ein W. Ladesignal an den PS-Wandler 7 bzw. an das Eingaberegister 4, ab, gleichzeitig mit der Abgabe des R. Req-Signals und des W. Req-Signals. Wenn der PS-Wandler 7 das R. Ladesignal empfängt, bewegt er somit die parallelen Daten aus m -Bit aus dem Ausgangsregister 6. Wenn das Eingangsregister 4 das W. Ladesignal empfängt, bewegt es in gleicher Weise m -Bit aus dem SP-Wandler 3 und gibt die parallelen Daten aus m -Bit, die darin gespeichert sind, an das Speicherzellen-Feld 5 ab.

Die Eingangssignale an den Eingangsanschlüssen 11 bis 14 sind jeweils mit 2b, 2c, 2e und 2a bezeichnet, und das CGR und CGW lassen getrennt das CLK 2a durch, um das R. CLK 2d und W. CLK 2f an den Ausgängen des R-Steuerkreises 15 und W-Steuerkreises 16 zur Verfügung zu stellen. Der R. CLK 2d und W. CLK 2f werden als Taktsignale verwendet, um den PS-Wandler 7 bzw. SP-Wandler 3 zu verschieben, und werden ebenso zu dem R-Zähler 17 und W-Zähler 19 geführt. Wenn ein Bit des Din beispielsweise von dem SP-Wandler 3 in Reaktion auf den W. CLK 2f bewegt wird und die Daten verschoben werden, wird demgemäß der Zählwert des W-Zählers 19 ebenso um eins vorgerückt. Wenn ein Bit der in den PS-Wandler 7 bewegten parallelen Daten seriell von dem R. CLK 2d zum Ausgangsanschluß 2 verschoben wird, ist in gleicher Weise der Zählwert des R-Zählers 18 ebenso um eins fortgeschritten. Durch Wählen der Zählwerte des R-Zählers 17 und W-Zählers 19 dergestalt, daß sie mit Werten der BIT-Wandlung an dem PS-Wandler 7 bzw. SP-Wandler 3 identisch sind, auch wenn der R. CLK und W. CLK verwendet werden, welche in gewünschter Weise an den jeweiligen Steuerkreis 15 und 16 durchgelassen werden, ist es daher möglich, einen Zählwert zu erfassen, der eine Zeitgabe anzeigt, bei der Bits der vom PS-Wandler 7 parallel ausgelesenen Daten alle seriell gewandelt und ausgegeben sind und es ist ebenso möglich, einen Zählwert zu erfassen, der eine Zeitgebung anzeigt, bei der der SP-Wandler 3 mit Bits von Daten aufgefüllt ist, die seriell in den SP-Wandler 3 bewegt werden. In einem Beispiel der Fig. 2 ist die Anzahl der BIT-Wandlungen in dem PS-Wandler 7 und SP-Wandler 3 auf 12 Bits eingestellt und der Zählwert von sowohl R-Zähler 17 als auch W-Zähler 19 wird zu 12 gewählt. In diesem Fall wird das Ausgangssignal 2h des R-Zählers 17 beispielsweise bei einer Zeitdauer erzeugt, die 12 Zyklen des R. CLK entsprechen.

Das Zähl-Ausgangssignal des W-Zählers 19, obwohl in Fig. 2 nicht erläutert, ist in gleicher Weise erzeugt bei einer Zeitdauer, die 12 Zyklen des W. CLK gleich ist. Da der Zählwert des REF-Zählers 20 von den Zählwerten des R-Zählers 17 und W-Zählers 19 verschieden ist, wird er so gewählt, daß der Renovierzyklus in dem Speicherzellen-Feld 5 optimiert wird, und in dem Beispiel der Fig. 2 wird er zu 15 gewählt.

Nach Empfangen der Ausgangssignale der jeweiligen Zähler 17, 19 und 20 erzeugen die jeweiligen Req-Generatoren 23 bis 25 einen R. Req 2i, W. Req 2j und REF. Req 2k, und der Zyklusgenerator 10, der später detaillierter mit Bezug auf die Fig. 8 und 9 erläutert wird, bezeichnet Zyklen, wie sie in einem Signal 20 synchron mit dem Φ_0 2i angezeigt sind. Der Adressengenerator 9, der zum Empfang des Zyklussignals 20 bereit ist, erzeugt jeweilige Adressen, wie sie durch 2p auf Zeitteilungsbasis dargestellt sind. Auf diese Weise wird während eines Zyklus (in dem Beispiel der Fig. 2, überdeckt ein Zyklus 12-Bit des R. CLK), in welchem Bits von parallelen Daten, die von dem Ausgangspuffer-Register 6 zu dem PS-Wandler 7 in Reaktion auf beispielsweise das R. Ladesignal 2q geführt sind, alle einer seriellen Wandlung unterworfen und werden danach die folgenden Bits von parallelen Daten in Reaktion auf das R. Ladesignal 2q geführt, das R. Req erzeugt, so daß der R-Zyklus zugewiesen wird und Daten, die aus dem Speicherzellen-Feld 5 gemäß R-Adressen gelesen werden, werden in das Ausgangspuffer-Register übertragen, wodurch eine Vorbereitung zum wiederholten Übermitteln neuer Daten an den PS-Wandler 7 getroffen wird. Dies

erlaubt ein kontinuierliches Lesen der sehr schnellen seriellen Daten des Ausgangssignals Dout, die mit 2s bezeichnet werden. Darüber hinaus, während eines Zyklus (in dem Beispiel der Fig. 2, entsprechend 12 Bits des W. CLK), in dem eine Anzahl von Bits, die zu wandeln sind, der seriellen Daten Din in den SP-Wandler 3 bewegt werden und parallel zu dem Eingabepuffer-Register 4 übertragen werden, und zwar in Reaktion auf das W. Ladesignal 2r und danach eine Anzahl der folgenden Bits, die zu wandeln sind, der seriellen Daten Din wiederholt bewegt wird, wird das W. Req erzeugt, so daß der W-Zyklus zugewiesen wird und Daten von dem Eingabepuffer-Register 4 in das Speicherzellen-Feld 5 gemäß W-Adressen geschrieben werden, wodurch eine Vorbereitung zur wiederholten Übertragung von parallelen Daten aus dem SP-Wandler 3 in den Eingangspuffer 4 getroffen ist.

Dies erlaubt ein kontinuierliches Schreiben der sehr schnellen seriellen Daten Din, wie mit 2t bezeichnet.

Da die Zählwerte des CLK-Zählers 18 zum Zählen des CLK erfaßt werden und zu dem R. Req-Generator 23 über den ODER-Schaltkreis 22 geführt werden, auch während einer Pause des R. CLK 2d, kann der R. Req während dieser Pause erzeugt werden.

Zusätzlich wird der RES 2b erfaßt und zu dem R. Req-Generator 23 über den ODER-Schaltkreis 22 geführt, um den R. Req zu erzeugen. In diesem Fall wird der CLK-Zähler 18 mit dem RES 2b zurückgesetzt und er beendet das Zählen nach dem Abgeben eines gesetzten Zählwertes 2g. Während eines Zeitintervalls, in dem der CLK-Zähler 18 fortfährt zu zählen, wird der R-Zähler 17 veranlaßt, das Zählen zu beenden, womit ein R-Zähler-Ausgangssignal bereitgestellt wird, wie mit 2h bezeichnet. Mit dem CLK-Zähler-Ausgangssignal 2g, dem R-Zähler-Ausgangssignal 2h und RES 2b, die zu dem R. Req-Generator 23 geführt werden, wird der R. Req unmittelbar nach dem RES 2b erzeugt, und zwar nachfolgend erzeugt durch das Ausgangssignal 2g von dem CLK-Zähler 18 und danach erzeugt durch das zyklische Ausgangssignal 2h von dem R-Zähler 17, wie mit 2i bezeichnet. Als ein Ergebnis, unmittelbar nach dem RES 2b, wird der R-Zyklus, wie mit 20 bezeichnet, zugewiesen, und dieser R-Zyklus veranlaßt, daß Daten an einem Adressenwert von beispielsweise (0)R von dem Speicherzahl-Feld 5 in das Ausgangspuffer-Register 6 gelesen werden. Dann werden die Daten zu dem RES-Wandler 7 in Reaktion auf das R. Ladesignal 2q übertragen und, wie mit 2s bezeichnet, werden die Daten an dem Adreßwert (0)R aufgegeben in ungefähre zeitlicher Beziehung mit dem Zählwert 2g des CLK-Zählers 18. Dies gewährleistet, daß Daten an dem initialisierten Adressenwert schneller gewonnen werden können und ein Speicher, der leichter gehandhabt werden kann, wird somit geschaffen.

Fig. 3 ist ein Zeitdiagramm, das einen weiteren beispielhaften Betrieb des in Fig. 1 gezeigten Bildspeichers erläutert. In Fig. 3 sind Signale, die mit 3a bis 3t bezeichnet sind, identisch zu den Signalen 2a bis 2t in Fig. 2.

Der in Fig. 3 gezeigte Betrieb unterscheidet sich von dem in Fig. 2 gezeigten Betrieb darin, daß die Taktpausendauer an dem CGR 3c und CGW 3e länger als die an dem CGR 2c und CGW 2e ist, und daß sie einander gleich sind. Der R. CLK 3d und W. CLK 3f werden daher gleichzeitig nach der Erzeugung des CLK-Zähler-Ausgangssignals 3g erzeugt, wie man aus Fig. 3 sieht.

Durch Wahl des CGR 3c und CGW 3e auf diese Weise können das Dout 3s und Din 3t mit derselben Zeitgabe, wie in Fig. 3 gezeigt, adressiert werden und Daten,

die als Din während der Abgabe der Daten Dout beispielsweise bei einer Adresse (1)R eingegeben werden, können in eine Adresse (1)W geschrieben werden. Demgemäß, durch Verwendung des Speicher-Ausgangssignals dieser Ausführungsform als beispielsweise ein Eingangssignal zu dem nachfolgenden Stufenspeicher, können Daten, die einem verdoppelten Betrag der Verzögerung unterworfen sind, leicht erhalten werden. Dann wird der R. CLK 3d wie mit 3s bezeichnet, erzeugt und Daten können sequentiell abgegeben werden, beginnend mit der initialisierten Adresse (0)R. Dies kann in bequemer Weise bei einem Beispiel angewandt werden, bei dem Schreibe- und Leseoperationen während der Austast-Periode (Blanking) der Bildsignale gestoppt werden, um die Nutz-Effizienz der Speicherkapazität zu verbessern, weil Daten an anderen Adressen vor einer Abgabe geschützt werden können.

Wenn der CLK 3a ausgeführt wird durch Verwendung des CGR 2c oder CGW 2e, kann der Erzeugungszyklus des R. Req 3i oder W. Req 3j erhöht werden und der R-Zyklus oder der W-Zyklus kann dem Zyklussignal 30 an einem erhöhten Zyklus zugewiesen werden, mit dem Ergebnis, daß einzelne Daten in dem Dout 3c ausgedünnt (thin-out) oder einzelne Daten in dem Din 3t ausgedünnt werden können. Dieser Effekt kann leicht herbeigeführt werden und wird hier nicht detaillierter beschrieben. Es ist daher aus dem oberen zu entnehmen, daß das Lesen eines vergrößerten Bildes aus dem Speicher und Schreiben eines verkleinerten Bildes in den Speicher leicht gemäß der Lehre der vorliegenden Erfindung verwirklicht werden kann.

Unter Bezugnahme auf Fig. 1 enthält ein R. Req-Zeitgabee-Generator einen R-Steuerkreis 15, einen R-Zähler 17, einen CLK-Zähler 18, einen ODER-Schaltkreis 22 und einen R. Req-Generator 23, wie durch einen gestrichelten Linie-Block gezeigt; ein W-Req-Zeitgabegenerator enthält einen W-Steuerkreis 16, einen W-Zähler 19 und W-Req-Generator 24; und ein REF. Req-Zeitgabegenerator enthält den REF-Zähler 20 und den REF. Req-Generator 25. Ein beispielhafter Hardware-Aufbau jeder der obigen Req-Zeitgabegeneratoren soll nun beschrieben werden.

Die Req-Zeitgabegeneratoren, welche jeweils spezifisch, wie in den Fig. 4 bis 6 erläutert, aufgebaut sind, arbeiten gemäß einem Zeitgabe-Diagramm, wie in Fig. 7 gezeigt.

Im Bezug auf die Fig. 4 bis 6 kann man dort Eingangsanschlüsse 50 bis 53 für den CLK, CGR, RES und CGW jeweils sehen, Ausgangsanschlüsse 54 bis 56 für den R. Req, W. Req und REF. Ref., jeweils Zähler 60 bis 75, Flip-Flops 80 bis 83 vom D-Typ, Inverter 90 bis 100, NAND-Kreise 110 bis 118, und UND-Kreise 120 bis 124. Der R-Zähler 17 und CLK-Zähler 18 sind durch Blöcke mit gestrichelter Linie in Fig. 4 exemplifiziert, der W-Zähler 19 ist durch einen Block mit gestrichelter Linie in Fig. 5 dargestellt und der REF-Zähler 20 ist dargestellt durch einen Block mit gestrichelter Linie in Fig. 6. In dem Zeit-Diagramm der Fig. 7 stellen 7a bis 7v Kurvenformen dar, die an den wesentlichen Punkten der Fig. 4 bis Fig. 6 auftreten. Der Betrieb des in Fig. 4 gezeigten Schaltkreises soll zuerst erläutert werden. In Fig. 4 ist das CLK von Anschluß 15 durch 7a dargestellt, das RES von Anschluß 52 durch 7b, das CGR von Anschluß 51 durch 7c, das R. CLK, das vom Durchlassen des CLK 7a mit dem CGR 7c an dem UND-Schaltkreis 127 entsteht, durch 7d, und ein Decodier-Impuls, welcher am Ausgang des NAND-Kreises 112 durch NAND-Verbindung der Q-Ausgangssignale der Zähler

60 bis 63 gewonnen wird, durch 7e. Nur während der Decodier-Impuls 7e "Hoch" ist, darf der CLK-Zähler 17 die Zähl-Operation durchführen. Umgekehrt ist, während sowohl das RES 7b als auch das Ausgangssignal 7e des NAND-Kreises 112 "Hoch" sind, die Zähloperation des R-Zählers 18 beendet, ein Träger-Ausgangssignal Co von dem Zähler 63 wird dargestellt durch 7f, ein Q₁-Ausgangssignal, das durch Festhalten (latching) an dem Flip-Flop 80 vom D-Typ einer logischen Summe des RES 7b und des Träger-Ausgangssignals 7f des CLK-Zählers 17 gewonnen wird, durch 7g dargestellt, ein Ausgangssignal beispielsweise des NAND-Kreises 111 für die NAND-Verbindung des Q₁-Ausgangssignals 7g und des CLK 7a, wird durch 7h dargestellt, ein Träger-Ausgangssignal des R-Zählers 18 wird durch 7i dargestellt, Ausgangssignale, die gleichermaßen aus dem Q₂-Ausgang und dem NAND-Kreis 114 erhalten werden, durch 7j und 7k, und das R. Req, das durch UND-Verbindung von 7h und 7k entsteht, durch 7l.

Das W. Req wird erzeugt wie nachstehend beschrieben. Unter Bezug auf Fig. 5 sind der CLK 7a und RES 7b dieselben wie die in Fig. 4 gezeigten, der CGW von Anschluß 53 wird dargestellt durch 7o, der W. CLK, der aus dem Durchlaß des CLK 7a mit dem CGW 7o an dem UND-Kreis 122 entsteht, durch 7p, ein Träger-Ausgangssignal des W-Zählers 19 durch 7q, ein Q₃-Ausgangssignal, das durch Festhalten des Träger-Ausgangssignals 7q an dem Flip-Flop 82 vom D-Typ erhalten wird, durch 7r, und der W. Req, erhalten beispielsweise durch UND-Verbindung des Q₃-Ausgangssignals 7r und eines invertierten Signals des CLK 7a, durch 7s.

Der Betrieb zum Erzeugen des REF. Req soll nun beschrieben werden. Unter Bezugnahme auf Fig. 6 sind der CLK 7a und RES 7b dieselben wie die in Fig. 4 gezeigten, ein Träger-Ausgangssignal des Zählers 75 wird durch 7t dargestellt, ein Q₄-Ausgangssignal, das durch Festhalten des Träger-Ausgangssignals 7t aus dem REF-Zähler 20 erhalten wird, durch 7u, und der REF. Req, welcher in gleicher Weise wie im vorhergehenden gewonnen wird, durch 7v.

Dann soll ein beispielhafter Hardware-Aufbau des Zyklus-Generators 10, der das Adressen-Steuergerät 26 darstellt, erläutert und erklärt werden.

Eine Ausführungsform des Zyklus-Generators 10, wie im Diagramm der Fig. 8 gezeigt, weist einen Eingangsanschluß 150 auf, zum Empfangen des Φ_0 -Phasensignals, das durch Teilen des CLK in der Frequenz an dem Zeitgabe-Generator 21 erhalten wird, einen Eingangsanschluß 151 für das R. Req, einen Eingangsanschluß 152 für das W. Req, einen Eingangsanschluß 153 für das REF. Req, Ausgangsanschlüsse 154 bis 156 für das R-Zyklussignal, W-Zyklussignal und REF-Zyklussignal jeweils, Flip-Flops 157 bis 159 vom SR-Typ, Inverter 160 und 161, UND-Kreise 162 und 163, Flip-Flops 164 bis 166 vom D-Typ, und Flanken-Detektoren 167 bis 169. Fig. 9 zeigt ein Zeitdiagramm, das den Betrieb der in Fig. 8 gezeigten Ausführungsform erläutert, und wesentliche Teile der in Fig. 8 gezeigten Ausführungsform arbeiten in Übereinstimmung mit Kurvenformen, wie sie in Fig. 9 gezeigt sind. Beispielsweise, wenn das R. Req 9a in das Flip-Flop 157 vom SR-Typ eingegeben wird, wird ein Q₁-Ausgangssignal 9e "Hoch" gesetzt, um die Q₂ und Q₃-Ausgangssignale 9f und 9g des verbleibenden Flip-Flops 158 und 159 durchzulassen, und nur das Q₁-Ausgangssignal 9e wird zu den Flip-Flops 164 bis 166 vom D-Typ geführt, festgehalten durch Φ_0 9d und ausgegeben als das R-Zyklus-Signal 9h. Der Flanken-Detektor 169 erfaßt eine Führungsflanke 9o des R-Zy-

klus-Signals 9h, das ihrerseits zu einem R-Eingang eines Flip-Flops vom SR-Typ führt, um dadurch das Q₁-Ausgangssignal 9e auf "Tief" zurückzusetzen. Die verbleibenden Zyklussignale arbeiten in gleicher Weise und, wie in Fig. 9 gezeigt, überlappen die jeweiligen Zyklus-Signale 9h und 9j nicht miteinander. In diesem Fall wird die Dauer jedes Zyklus-Signals durch Φ_0 eingestellt.

Auf diese Weise wird das R. Req während des Zyklus zugeführt, in welchem der PS-Wandler 7, der mit dem Ausgangsanschluß 2 verbunden ist, die seriellen Daten bewegt, und zwar in Reaktion auf den R. CLK, der W. Req wird zugeführt während des Zyklus, in dem der SP-Wandler 3, der mit dem Eingangsanschluß 1 verbunden ist, die seriellen Daten bewegt, und zwar in Reaktion auf den W. CLK, und der REF. Req wird zugeführt während des Renovierungs-Zyklus für das Speicherzellen-Feld 5, wodurch die sehr schnellen seriellen Daten in den Speicher kontinuierlich und gleichzeitig eingegeben und ausgegeben werden können.

Wie aus der vorausgegangenen Beschreibung hervorgeht, kann unter Verwendung der einzelnen Req-Zeitgabegeneratoren, die in Fig. 4 bis 6 dargestellt sind, und des Adressen-Generators, der in Fig. 8 dargestellt ist, die in Verbindung mit der in Fig. 1 gezeigten Ausführungsform erläuterte Operation der Erfindung klar verwirklicht werden.

Unter Bezugnahme auf Fig. 10 soll eine zweite Ausführungsform der Erfindung beschrieben werden.

Im Vergleich mit der Ausführungsform in Fig. 1 verwendet die zweite Ausführungsform einen Adressen-Generator 9, der die Adressendaten SAD in der Form von seriell kontinuierlichen Adressen bewegt, welche in gewünschter Weise von außen bestimmt werden, wodurch gewährleistet ist, daß wenn die seriellen Daten Din in parallele Daten in Einheiten von beispielsweise m-Bit umgewandelt werden, eine Zufalls-Zugriffsfunktion (Random Access Function) in Einheiten von Blocks mit m-Bit erhalten werden kann. Daher ist die zweite Ausführungsform identisch mit der Ausführungsform der Fig. 1, mit dem einzigen Unterschied, daß der Adressen-Generator 9 und ein Adressen-Steuergerät 26 von demselben der vorausgehenden Ausführungsform abweichen, und nur der Adressen-Generator 9 und das Adressen-Steuergerät 26 werden daher beschrieben, zwecks Vereinfachung der Erläuterung.

In der zweiten Ausführungsform weist das Adressen-Steuergerät 26 einen R-Steuerkreis 15 auf, um ein CLK mit einem CGR durchzulassen (gate), einen R-Zähler 17 zum Zählen eines Ausgangssignals des R-Steuerkreises, und einen R. Req-Generator 23, der auf einen Zählwert des R-Zählers 17 anspricht, um ein Leseanforderungssignal (R. Req) abzugeben, in gleicher Weise sind im Adressen-Steuergerät 26 ein W-Steuerkreis 16 zum Durchlassen des Systemtaktes CLK mit einem CGW vorgesehen, ein W-Zähler 19 zum Zählen eines Ausgangssignals des W-Steuerkreises, und ein W. Req-Generator 24, der auf einen Zählwert des W-Zählers 19 anspricht, um ein Schreibenforderungssignal (W. Req) abzugeben. Ebenso sind in dem Adressen-Steuergerät 26 ein REF-Zähler 20 zum Zählen des Systemtaktes CLK vorgesehen, der keinem Durchlassen unterworfen ist, und ein REF. Req-Generator 25, der auf den Zählwert des REF-Zählers anspricht, um ein Renovierungs-Anforderungssignal (REF. Req) abzugeben. Das Adressen-Steuergerät 26 weist ebenso einen Zyklusgenerator 10 auf, der das R. Req, W. Req und REF. Req bzw. diese Signale empfängt, um Steuersignale für R-Zyklus, W-Zyklus und REF-Zyklus auf der Zeiteilungsbasis zu

erzeugen, und einen Zeitabegenerator, der den System-CLK in der Frequenz teilt, um Φ_0 bis Φ_n zu liefern. Bei der Zeitgabe des R-Zyklus führt der Zyklus-Generator 10 dem Adressen-Generator 9 ein Leseadresse-Auswahlsignal zu (hier als SEL. R bezeichnet), ein Lese-Festhaltesignal (hier als R. L bezeichnet) und ein Lese-register-Auswahlsignal (hier als R. SEL bezeichnet). In gleicher Weise gibt der Zyklusgenerator 10 bei der Zeitgabe des Schreib-Zyklus eine Schreibadressen-Wahl (hier als SEL. W bezeichnet), ein Schreib-Festhaltesignal (hier als W. L bezeichnet) und ein Schreibregister-Auswahlsignal (hier als W. SEL bezeichnet) ab, und zu der Zeitgabe des REF-Zyklus gibt er ein Renovierungs-Festhaltesignal (REF. L) ab, und ein Renovierungs-Register-Auswahlsignal (REF. SEL).

Wie in dem Fall der Ausführungsform der Fig. 1 werden die R. CLK und W. CLK-Signale ebenso an den PS-Wandler 7 bzw. SP-Wandler 3 angelegt, und das R. Ladesignal von dem R. Req-Generator 20 und das W. Ladesignal von dem W. Req-Generator 24 werden jeweils an den PS-Wandler 7 und das Eingaberegister 4 angelegt.

Der Adressen-Generator 9 soll nun beschrieben werden. Der Adressen-Generator 9 weist einen Eingangsanschluß 27 für das SAD auf, einen Eingangsanschluß 28, der zum Empfang eines SAD-Impulssignals (strobe) (hier als SAS bezeichnet) eingerichtet ist, welches verwendet wird zum Bewegen des SAD, und einen Eingangsanschluß 29, der eingerichtet ist, ein Übertrage-/Adresse-Impulssignal (Strobe) zu empfangen (hier als TAS bezeichnet), zum Bestimmen einer Zeitgabe, bei der die extern zugeführten SAD und SAS in parallele Adressen gewandelt werden und die parallelen Adressen an ein R-Register 34 oder an ein W-Register 35 der später zu beschreibenden nachfolgenden Stufe übermittelt werden, wobei das SAD, SAS und TAS-Signal zu einem seriellen Adreß-Daten-Register 30 (hier als SAD-Reg bezeichnet) geführt werden. Zusätzlich zu dem Leseadressen-Register (R-Register) 34 und dem Schreibadressen-Register (W-Register) 35 ist ein Renovierungsadressen-Register (REF-Register) 36 vorgesehen. Die Ausgänge der Register 34, 35 und 36 sind an einen Wählschalter 37 gekoppelt, der auf die R. SEL, W. SEL und REF. SEL-Signale anspricht, um wahlweise einen der in den drei Registern 34, 35 und 36 gespeicherten Werte anzugeben. Der Ausgabe-Wählschalter 37 ist an die nachfolgende Stufe eines Speicheradressen-Registers 38 gekoppelt, das eine wahlweise abgegebene Adresse speichert und sie gemäß einem Zeitgabesignal Φ_m abgibt, welches von dem Zeitgabe-Generator 21 ausgesandt wird. Ein Ausgabesignal des Speicheradressen-Registers 38 wird parallel zu dem Adressen-Decoder 8 und einem Inkrement-Register 33 zugeführt. Ein Adressenwert, der in das Inkrement-Register 33 eingegeben wird, wird inkrementiert und einem ersten und zweiten Eingangs-Wählschalter 31 und 32 zugeführt. Der erste und zweite Eingangs-Wählschalter empfängt ebenso eine Leseadresse (R. Addr) bzw. eine Schreibadresse (W. Addr), von dem SAD-Reg. Der erste Eingangs-Wählschalter 31 wählt Daten von dem SAD-Reg 30 aus und führt sie dem R-Register 34 zu, wenn das SEL. R, welches von dem Adressen-Steuergerät 26 gesendet wird, "Hoch" ist, wählt einen Ausgangswert des Inkrement-Registers 33 und führt ihn dem R-Register 34 zu, wenn das SEL. R "Tief" ist. In gleicher Weise wählt der zweite Eingangs-Wählschalter 32 Daten von dem SAD-Reg 30 und führt diese dem W-Register 35 zu, wenn das SEL. W von dem Adressen-Steuergerät 26

"Hoch" ist, wählt einen Ausgangswert des Inkrement-Registers 33 und führt diesen dem W-Register 35 zu, wenn das SEL. R "Tief" ist. Das REF-Register 36 wird fortwährend versorgt mit einem Ausgangswert des Inkrement-Registers 33. Das R-Register 34 spricht auf das Festhaltesignal R. L an, um die Adresse zu bewegen, die von dem ersten Eingangs-Wählschalter 31 ausgewählt wurde, und das W-Register 35 spricht auf das Festhaltesignal W. L an, um die Adresse zu bewegen, die von dem zweiten Eingangs-Wählschalter 32 ausgewählt wurde.

Der Betrieb der in Fig. 10 gezeigten Ausführungsform soll nun unter Bezugnahme auf ein Zeitdiagramm der Fig. 11 beschrieben werden.

In Fig. 11 ist das CLK, das an den Anschluß 14 angelegt wird, durch 11a, und ein Einstellsignal SET, das auf der Basis des SAD, SAS und TAS erzeugt wird, die an die Anschlüsse 27 bis 29 angelegt werden, ist durch 11b dargestellt. Durch das SET 11b wird der R. Req-Generator 23 gezwungen, das R. Req-Signal 11c synchron mit dem CLK 11a zu erzeugen. Der R-Zähler 17 und W-Zähler 19 werden ebenso zwangsweise durch das SET 11b auf Anfangswerte eingestellt. In dem Beispiel der Fig. 11 arbeiten die zwei Zähler 17 und 19 und der REF-Zähler 20 bei der Rate eines Zählzyklus von 18 Taktimpulsen, und die Anzahl der Bits, die sowohl der SF-Umwandlung als auch der PS-Umwandlung unterliegen, wird ebenso zu 18 gewählt.

Synchron mit dem Zählzyklus der Zähler 17 und 19 erzeugen die Req-Generatoren 23 bis 25 die Req-Signale 11c bis 11e. Eines der Signale, die durch 1/K-Frequenz-Division des CLK bei dem Zeitgabe-Generator 21 erhalten wird, ist durch 11f dargestellt. Wenn $K=6$, können sechs Signale Φ_0 bis Φ_5 im wesentlichen erzeugt werden, welche gegeneinander außer Phase sind, und 11f stellt ein Signal Φ_0 von ihnen dar. Ein Zyklussignal ist dargestellt durch 11g, in welchem beispielsweise sein erster Auftritt eines Zyklus des Φ_0 11f, gefolgt von der Erzeugung jedes der Req-Signale 11c bis 11e, jedem der verschiedenen Zyklen zugewiesen wird. Jedoch bei dem Ereignis, wenn beispielsweise der R-Zyklus und der W-Zyklus gleichzeitig auftreten, kann die Zeitgabe in dem Zyklusgenerator 11 so eingestellt werden, daß eine Priorität aufgestellt wird, so daß der R-Zyklus eine Präferenz gegenüber dem W-Zyklus hat und daher der W-Zyklus nach dem R-Zyklus erzeugt wird, wodurch gewährleistet wird, daß die einzelnen Zyklen auf der Basis der Zeitdivision zugewiesen werden können, damit sie nicht gleichzeitig auftreten. Es wird ein R. SEL-Signal 11h gezeigt, das bei der Zeitgabe von Φ_1 -Phase für den R-Zyklus erzeugt wird und zu dem Eingangs-Wählschalter 37 geführt wird. Wenn der Eingangs-Wählschalter 37 auf das R. SEL 11h anspricht, wählt er das Ausgangssignal des R-Registers 34, unter den Registern 34 bis 36, und führt das gewählte Signal dem Speicheradressen-Register 38 zu. Obwohl nicht gezeigt, wird das W. SEL-Signal während des W-Zyklus erzeugt und das REF. SEL-Signal wird während des REF-Zyklus in einer ähnlichen Weise erzeugt, und das Ausgangssignal eines der Register 34 bis 36 wird gemäß einem der SEL-Signale gewählt, um dem Speicheradressen-Register zugeführt zu werden. Das Festhalte-Impulssignal zum Bewegen der Ausgangsdaten jedes der Register 34 bis 36 in das Speicheradressen-Register 38 wird durch 11j dargestellt und die Speicheradressen-Daten, die in das Speicheradressen-Register 38 durch das Festhalte-Impulssignal 11j bewegt werden, werden durch 11i dargestellt. Das Speicheradressen-Datensignal 11j wird dem Adressen-Decoder 8 und dem Inkrement-Schaltkreis 33

zugeführt. In dem Speicheradressen-Datensignal 11j stellt (K)R eine R-Adresse (genauer gesagt R-Adressendaten) eines Adressenwertes von K dar, (K)W stellt eine W-Adresse (genauer gesagt W-Adressendaten) eines Adressenwertes von K dar, und (K)REF stellt eine REF-Adresse (genauer gesagt REF-Adressendaten) eines Adressenwertes von K dar. Mit 11k und 11l sind das SEL-Signal und das SEL. W-Signal dargestellt, welche jeweils zu dem ersten und zweiten Wählschalter 31 und 32 geführt werden. Beispielsweise wird während das SEL. R "Hoch" ist, eine gewünschte bezeichnete Adresse von dem SAD-Register 30 ausgewählt und zu dem R-Register 34 geführt und während das SEL. R "Tief" ist, wird ein inkrementierter Adressenwert von dem Inkrement-Schaltkreis 33 ausgewählt und zu dem R-Register 34 geführt. In gleicher Weise wird während das SEL. W "Hoch" ist, eine wie gewünscht bezeichnete Adresse von dem SAD-Register 30 ausgewählt und zu dem W-Register 35 geführt und während das SEL. W "Tief" ist, ein inkrementierter Adressenwert von dem Inkrement-Schaltkreis 33 ausgewählt und zu dem W-Register 35 geführt. Die Festhalte-Impulssignale für die Register 34 bis 36 werden mit 11o, 11p und 11q dargestellt und bei einer Zeitgabe von beispielsweise Φ_4 -Phase für jeden Zyklus erzeugt, um jedes der Register 34 bis 36 zu veranlassen, entweder die inkrementierte Adresse an dem Inkrement-Schaltkreis 33 oder die wie gewünscht bezeichnete Adresse zu bewegen. Die Adressdaten-Signale, die somit zu dem R-Register 34, W-Register 35 und REF-Register 36 geführt werden, werden durch 11r, 11s und 11t dargestellt. Beispielsweise ist in dem Signal 11r (N)R eine wie gewünscht bezeichnete R-Adresse, die von dem SAD-Register 30 zu dem R-Register 34 geführt wird und (N+1)R ist eine R-Adresse, die durch Inkrementieren eines wie gewünscht bezeichneten R-Adressenwertes an dem Inkrement-Schaltkreis 33 erhalten wird.

Wie aus dem obigen Betrieb des Adressengenerators 9 hervorgeht, wenn die Zahl m der parallelen Bits, die der SP-Wandlung unterworfen sind, beispielsweise 18 beträgt, wird der Zählwert des R-Zählers 17 ebenso 18, wodurch Bits der Seriellaten Din 11u eingegeben werden, nachdem SET 11b sequentiell geschrieben wird, in Einheiten von Blöcken von 18 Bits während der W-Adress-Perioden des Speicheradressen-Signals 11j, und zwar in das Speicherzellen-Feld 5 bei sequentiellen Schreibadressen, die mit einer wie gewünscht bezeichneten Schreibadresse (N)W beginnen und mit (N+1)W, (N+2)W ... fortfahren. Zusätzlich, wenn der Zählzyklus des W-Zählers 19 ebenso zu 18 gewählt wird, werden Daten durch einen Ausgangspuffer-Register 6 von dem Speicherzellen-Feld 15 in Einheiten von Blöcken von 18 Bit während der R-Adress-Perioden des Speicheradressen-Signals 11j gelesen. Danach werden Bits der seriellen Daten Dout 11v, die dem SET 11b folgen und zwei Blöcke sequentiell abgegeben, von Schreibadressen beginnend mit einer wie gewünscht bezeichneten Leseadresse (N)R und Fortfahrend mit (N+1)R, (N+2)R ... In diesem Fall, da eine Zeitdifferenz von zwei Blöcken zwischen den seriellen Daten Din besteht, die mit (N)W bezeichnet werden und den seriellen Daten Dout, die mit (N)R bezeichnet werden, ist es möglich, den Betrag der Verzögerung des Dout durch das RES-Signal einzustellen, wenn der Adressenwert versetzt ist um zwei Blöcke zwischen beispielsweise der (N)W und der (N)R und daher kann dieser Betrag der Verzögerung genau entsprechend einem Feld oder einem Rahmen leicht eingestellt werden.

Wie oben beschrieben, in der vorliegenden Ausführungsform, durch Wählen der Summe der Taktimpulse für sowohl den R-Zyklus, W-Zyklus als auch den REF-Zyklus in dem Adressen-Generator 9 kleiner als die Anzahl m von Bits, die der SP-Wandlung unterliegen, d. h. durch Wählen von sechs Taktimpulsen für jeden Zyklus im Beispiel der Fig. 11, kann ein Schreiben der sehr schnellen seriellen Daten Din in den Bit-Speicher und Lesen der sehr schnellen seriellen Daten Dout gleichzeitig geschehen und daneben kann der Zufallszugriff (Random Accessing) in Einheiten von Blöcken durch Bezeichnung des SAD gewährleistet werden, wodurch multifunktionelle Anforderungen eingehalten werden.

Ein weiteres Beispiel der in Fig. 10 gezeigten Ausführungsform ist erläutert in Fig. 12. In dem Beispiel der Fig. 12 sind die Phasen der Festhalte-Impulssignale zum Festhalten der Wählschalter 31, 32 und 37 und der Register 34 bis 36 und 38, die mit einzelnen Zyklen in einem Zyklussignal 12g verbunden sind, verschieden von denen der Festhalte-Impulssignale in dem Beispiel der Fig. 11. Demgemäß, im Gegensatz zu dem Beispiel in Fig. 11, bei dem die seriellen Daten Dout 11v, die dem SET 11b folgen, und zwei Blöcke abgegeben werden, beginnend mit der wie gewünscht bezeichneten Leseadresse (N)R, wird dargegeben in dem Beispiel der Fig. 11 ermöglicht, daß die Daten 12v, die dem SET 12b folgen, und ein Block abgegeben werden, beginnend mit der wie gewünscht bezeichneten Leseadresse (N)R. Dies soll jetzt weiter beschrieben werden.

Unter Bezugnahme der Fig. 11 entsprechen die Signale 12a bis 12v den Signalen 11a bis 11v in Fig. 11, aber die Signale 12h bis 12v treten in Zeitgaben auf, die verschieden von denen für die Signale 11h bis 11v sind. Insbesondere werden das R-Register 34 und das W-Register 35 durch die Signale 12k bis 12t zu verschiedenen Zeitgaben betrieben, wie die von den Signalen 11k bis 11t, und dies soll zunächst beschrieben werden. Ein Teil des Zyklusgenerators 11, der beim Erzeugen des SEL. K 12k und des Festhalte-Impulssignals (R. L) 12o für das R-Register 34 teilnimmt, ist spezifisch in Fig. 13 erläutert. Ein Zeitdiagramm für einen Betrieb der in Fig. 13 gezeigten Schaltung ist in Fig. 14 erläutert. Unter Bezugnahme auf Fig. 13 werden Eingangsanschlüsse für die Taktsignale von verschiedenen Phasen Φ_1 , Φ_2 und Φ_3 mit 170, 171 und 175 dargestellt, Eingangsanschlüsse für ein R. Req 14b dargestellt durch 172, ein Eingangsanschluß für ein SET 14a dargestellt durch 173, ein Eingangsanschluß für ein R-Zyklussignal 14e dargestellt durch 174, Ausgangsanschlüsse für ein Festhalte-Impulssignal 14o des R-Registers 34 bzw. eines SEL. R 14h dargestellt durch 176 und 177, Flip-Flops dargestellt durch 178 und 179, UND-Kreise dargestellt durch 180 bis 183, und ein ODER-Schaltkreis, dargestellt durch 184. Wenn der SET 14a eingegeben wird, wird ein Q₁-Ausgangssignal 14c des Flip-Flops 178 auf "Hoch" eingestellt, und danach "Tief" gestellt durch das R. Req 14b, das nachfolgend eingegeben wird, womit das Flip-Flop 179 der nachfolgenden Stufe veranlaßt wird, sein Q₂-Ausgangssignal 14d, wie in Fig. 14 erläutert, zu erzeugen. Das Q₂-Ausgangssignal 14d und das R-Zyklussignal 14e werden UND-verbunden, um ein Signal N₁(R) 14f zu liefern, und das N₁(R) 14f und ein Φ_1 -Signal 14g werden UND-verbunden, um das SEL. R 12h zu liefern, welches verwendet wird, um eine wie gewünscht bezeichnete R-Adresse nach dem SET zu wählen. Das R. Req 14b und ein Φ_3 -Signal 14k werden UND-verbunden, um ein Signal N₃(R) 14l zu liefern, das als Festhalte-Impulssignal verwendet wird, welches normalerweise

Daten von dem Inkrement-Schaltkreis 30 in das R-Register 34 bewegt. Das Festhalte-Impulssignal $N_1(R)$ 14f und ein Φ_2 14i werden UND-verbunden, um ein Signal $N_2(R)$ 14j zu liefern, das als das Festhalte-Impulssignal verwendet wird, welches wie gewünscht bezeichnete R-Adressendaten in das R-Register 34 bewegt. Die beiden Signale $N_2(R)$ 14j und $N_3(R)$ 14b werden ODER-verbunden, um das Signal 14o zu liefern, welches als das Festhalte-Impulssignal dem R-Register 34 zugeführt wird. Dagegen werden das SEL. W 12i und das Festhalte-Impulssignal 12p für das W-Register 35 in Fig. 12 durch einen Generator erzeugt, der ähnlich zu dem der Schaltung in Fig. 13 ist. Aber zum Erzeugen des SEL. W 12i und des Festhalte-Impulssignals 12p, werden das R. Req 14b und das R-Zyklus-Signal 14e jeweils ersetzt durch ein W. Req 14p und ein W-Zyklus-Signal 14s, und die zwei Flip-Flops 178 und 179 erzeugen ihr $Q_1(W)$ -Signal 14q bzw. $Q_2(W)$ -Signal 14r. Das $Q_2(W)$ -Signal 14r und das W-Zyklus-Signal 14s werden UND-verbunden, um ein Signal $N_1(W)$ 14t zu liefern. Das Signal $N_1(W)$ 14t und das Signal Φ_1 14g werden UND-verbunden, um ein Signal SEL. W 14u zu liefern, welches dem zweiten Eingangs-Wählschalter 32 zugeführt wird. Gleich wie das Festhalte-Impulssignal 14o für das R-Register 34 wird ein Festhalte-Impulssignal 14v für das W-Register 35 aus den Signalen $N_1(W)$ 14t, W. Req 14p, Φ_2 14i und Φ_3 14k gewonnen.

Durch den obigen Betrieb können die Adressendaten-Signale, wie dargestellt durch 12r bis 12t in den Registern 34 bis 36 gespeichert werden, wodurch insbesondere während des ersten Auftretens der R-Zyklus-Periode nach dem SET 12b eine wie gewünscht bezeichnete Adresse (N) R in das R-Register 34 bewegt werden kann, und die bewegte (N) R kann durch das R. SEL 12h gewählt werden, welches als Adressensignal 12j in das Speicheradressen-Register 38 eingegeben wird, und zwar in Reaktion auf das Festhalte-Impulssignal 12i, dann als R-Adressendaten in den Adressen-Decoder 8 und zu dem Inkrement-Schaltkreis 33 geführt wird, um im Adressenwert inkrementiert zu werden, und schließlich wieder in das R-Register 34 bewegt wird. Auf diese Weise können Daten einer wie gewünscht bezeichneten Adresse aus dem Speicherzellen-Feld ausgelesen werden, und zwar einen Block früher als die des Beispiels der Fig. 11 und können auch in der Form von seriellen Daten Dout ausgegeben werden, und zwar einen Block früher als erläutert in Fig. 12.

In diesem Fall können durch Vorsehen einer Ein-Block-Verschiebung zwischen Adressenwerten der (N) W und (N) R Adressenwerte des Din und Dout zum selben Zeitpunkt einander gleichgemacht werden, wodurch das Einstellen des Betrags der Verzögerung des Dout aufgrund des RES 12b erleichtert wird.

Wenn das W. CLK mit dem CGW in der Ausführungsform 10 durchgelassen wird, folgt eine Operation wie mit Bezug auf die Fig. 15 beschrieben.

In Fig. 15 ist ein CLK mit 15a dargestellt, das CGW mit 15b, das W. CLK erhalten durch beispielsweise UND-Verbindung des CGW 15b und CLK 15a an dem W-Steuerkreis 16 in Fig. 10, ist mit 15c dargestellt, ein RES ist dargestellt durch 15d, ein R. Req ist dargestellt durch 15e, ein W. Req ist dargestellt in 15f und REF. Req ist dargestellt mit 15g. In diesem Beispiel ist das CLK nicht durchgelassen mit dem CGR und das R. CLK ist identisch mit dem CLK 15a. Demgemäß sind das R. Req 15e und das REF. Req 15g identisch mit denen des Beispiels in Fig. 12 und das W. Req-Signal 15f wird mit einer Rate von beispielsweise 18 Taktpulsen des W.

CLK 15c gewonnen, welches dem RES 15d folgt. Daher ist die Erzeugungsdauer des W. Req 15f verglichen mit dem Beispiel der Fig. 12 verzögert. In diesem Fall, in Reaktion auf ein Phasensignal Φ_0 15h wird ein Adressen-Zyklus-Signal 15i von einzelnen Adressenzyklen erzeugt. Ein Generator des Adressen-Zyklus-Signals 15i ist in der Fig. 16 dargestellt und sein beispielhafter Betrieb ist erläutert in Fig. 17. Unter Bezugnahme auf Fig. 16 werden Eingangsanschlüsse für ein Signal Φ_0 17d, ein R. Req 17a, ein W. Req 17b und ein REF. Req 17c, wie in Fig. 17 gezeigt, jeweils dargestellt durch 185 bis 188, Ausgangsanschlüsse für ein R-Zyklus-Signal 17h, ein W-Zyklus-Signal 17i und ein REF-Zyklus-Signal 17j werden jeweils dargestellt durch 189 bis 191. Einstell-/Zurücksetz-Flip-flops (hier als SRFF bezeichnet) werden mit 191 bis 193 bezeichnet, Inverter durch 194 und 195 dargestellt, UND-Schaltkreise durch 196 und 197 dargestellt, Flip-flops vom D-Typ (hier als DFFs bezeichnet) durch 198 bis 200 dargestellt, und Flanken-Detektors (edge) durch 201 bis 203 dargestellt. Die SRFF 191 bis 193 sprechen auf Req-Signale 17a bis 17c an, um ihre Q_1 , Q_2 und Q_3 -Ausgangssignale 17e bis 17g zu erzeugen. Die Priorität unter den Q_1 bis Q_3 -Ausgangssignalen wird eingestellt durch die Inverter 194 und 195 und UND-Schaltkreise 196 und 197, so daß die Q_1 , Q_2 und Q_3 -Ausgangssignale in dieser Ordnung abgestuft sind. Die so abgestuften Q_1 , Q_2 und Q_3 -Ausgangssignale werden zu den D-Eingängen der DFFs 198 bis 200 geführt. Jedes D-Eingangssignal wird festgehalten durch das Φ -Signal 17d an jedem der DFFs 198 bis 200, um an ihren Q-Ausgängen das R-Zyklus-Signal 17h zu liefern, ein W-Zyklus-Signal 17i und ein REF-Zyklus-Signal 17j. Die Flankendetektoren 201 bis 203 erfassen beispielsweise steigende Flanken der Zyklus-Signale 17h, 17j und Flankensignale 17k bis 17o, die somit erfaßt sind, werden jeweils zu Rücksetzeingängen der SRFF 191 bis 193 geführt, um ihre Q-Ausgänge zurückzusetzen, wodurch neue Req-Signale bewegt werden. Durch Einrichten des wie oben aufgebauten Zyklusgenerators 10 können die einzelnen Zyklus-Signale auf der Basis der Zeiteilung zugewiesen werden, ohne miteinander auf der Zeitachse zu interferieren. Durch Zuweisen der Zyklen für die Adressen auf Zeiteilungs-Basis auf diese Weise wird das W. SEL 15j, durch Festhalt-Impuls-Signal 15k für das Speicher-Adressen-Register 38, SEL. R 15o, das SEL. W 15p und Festhalt-Impuls-Signal 15g und 15r für das R-Register 34 und W-Register 35, wie in Fig. 15 dargestellt, erhalten, und durch Verwendung dieser Steuersignale können Adressenwerte des Speicheradressen-Registers 38, R-Register 34 und W-Register 35 wie dargestellt durch 15i, 15s und 15t, erhalten werden. In diesem Fall werden Daten Din 15u, die seriell nach dem RES 15d eingegeben werden, in Einheiten von 18 Bits synchron mit dem W. CLK 15c in das Speicherzellen-Feld 5 geschrieben, und zwar beispielsweise bei einer wie gewünscht bezeichneten Adresse (N) W, die zu (N) W in dem Adressensignal 15i von dem Speicheradressen-Register 38 gehört bzw. mit ihm übereinstimmt, und serielle Ausgangsdaten Dout 15v, die zu einer wie gewünscht bezeichneten Adresse (N) R gehören, werden ebenso nach einem Block abgegeben. Wie aus dem obigen klar wird, können auch durch Verwendung des W. CLK 15c, wie gewünscht, durchgelassen mit dem CGW-Signal 15b und CGR-Signal und dem R. CLK, ein kontinuierliches Schreiben der Din 15u und kontinuierliches Lesen des Dout gewährleistet werden, ohne Schwierigkeiten zu verursachen, wie z. B. ein Versagen, die zu bewegendenden Din zu schreiben, und ein

Versagen, die auszugebenden Dout zu lesen.

Fig. 18 erläutert eine Modifikation der Ausführungsform in Fig. 10. Die Modifikation in Fig. 18 stellt sich so dar, daß die wie gewünscht bezeichneten Adressen von dem SAD-Register 30, zusammen mit Adressdaten von den Registern 34 bis 36 zu einer Zeit gewählt werden, mittels eines Wählschalters 80. Der Betrieb der Modifikation der Fig. 18 wird kurz mit Bezug auf Fig. 9 beschrieben, welche ein Zeitdiagramm für diese Modifikation erläutert.

Die in Fig. 18 gezeigten Komponenten sind identisch mit denen der Ausführungsform in Fig. 10, mit der Ausnahme des Wählschalters 80. Unter Bezugnahme auf Fig. 19 ist ein CLK mit 19a bezeichnet, ein SET mit 19b, ein R. Req 19c, ein Φ_0 -Signal mit 19d, und ein Zyklus-signal zum Zuweisen von Zyklen mit 19e, wobei die obigen Signale identisch mit denen des Zeitdiagramms in Fig. 12 sind. Wahl-Steuersignale sind mit 19f bis 19j bezeichnet, welche von dem Zeitgabe-Generator 26 zu dem Wählschalter 18 geführt werden. Beispielsweise wird eine wie gewünscht bezeichnete R-Adresse von dem SAD-Register 30 gewählt, wenn das SEL R 19f "hoch" ist, eine wie gewünscht bezeichnete W-Adresse von dem SAD-Register 30 wird gewählt, wenn das SEL W 19g "hoch" ist, eine R-Adresse von dem R-Register 34 wird gewählt, wenn das R. SEL 19h "hoch" ist, und eine REF-Adresse von dem REF-Register 36 wird gewählt, wenn das REF. SEL 19j "hoch" ist, wobei jedes der wie oben gewählten Signale in das Speicheradressen-Register 38 bewegt wird, bei der Zeitgabe des Festhalte-Impulssignals 19k. Adressenwerte, die in das Speicheradressen-Register 38 bewegt sind, werden bei einem Adressensignal 19l bezeichnet, mit 19o bis 19g werden Festhalte-Impulssignale zum Bewegen der Adressenwerte bezeichnet, welche bei dem Inkrement-Schaltkreis 33 in die Register 34 bis 36 inkrementiert sind. Adressdaten-Signale, wie mit 19r bis 19t bezeichnet, werden in die Register 34 bis 36 bewegt. Durch die obige Operation, wie in dem Fall der in Fig. 12 gezeigten Operation, kann das Bewegen der seriellen Daten Din 19u und die Ausgabe der seriellen Daten Dout 19v durch freie Bezeichnung einer Adresse geschehen.

Mit der Fig. 20 wird eine dritte Ausführungsform des Bildspeichers beschrieben. Diese Ausführungsform unterscheidet sich von der ersten in Fig. 1 gezeigten Ausführungsform darin, daß sie beabsichtigt, Daten parallel in Einheiten von 2^n Bits (n eine natürliche Zahl) zu verarbeiten. Dementsprechend ist der SP-Wandler 3 so ausgestattet, daß er eine Seriell/Parallel-Wandlung von 2^n -Bits der Daten durchführt, der PS-Wandler 7 ist so gestaltet, daß er Parallel/Seriell-Wandlung von 2^n -Bits der Daten ausführt, und ein Speicherzellen-Feld 5 hat eine Struktur ($K \times 2^n$) Spalten \times m Zeilen, wobei K und m natürliche Zahlen sind. Der Adressengenerator 9, Adressendecoder 8, Eingangspuffer-Register 4 und Ausgangspuffer-Register 6 haben denselben Aufbau wie die entsprechenden Komponenten der ersten Ausführungsform und werden nicht gesondert beschrieben. Ein Adressen-Steuergerät 26' dieser Ausführungsform hat zusätzlich zu der Funktion des Adressen-Steuergerätes 26 der ersten Ausführungsform die Funktion, die W-Adresse und R-Adresse zu initialisieren und wird genauer unten beschrieben.

Das Adressen-Steuergerät 26' weist einen Eingangsanschluß 11' für ein Schreib-Rücksetzsignal (W. RES) auf, einen Eingangsanschluß 16 für ein Schreibtakt-Signal (W. CLK), einen Eingangsanschluß 14 für ein Systemtakt-Signal (CLK), einen Eingangsanschluß 11 für

ein Lese-Rücksetzsignal (R. RES), und einen Eingangsanschluß 15 für ein Lesetakt-Signal (R. CLK). Ein W-Zähler 19 ist mit den Anschlüssen 11' und 16 verbunden, um mit den W. RES und CLK-Signalen versorgt zu werden.

Mit dem Ausgang des W-Zählers 19 sind ein W. Req-Generator 24 und ein W. Lade-Generator 24' verbunden, welche auf einen Zählwert des W-Zählers 19 ansprechen, um ein W. Req-Signal bzw. W. Ladesignal zu erzeugen.

Ein REF-Zähler 20 ist betriebsfähig, um das Systemtakt-Signal CLK zu zählen und ein REF. Req-Generator 25, der mit dem Ausgang des REF-Zählers 20 verbunden ist, spricht auf einen Zählwert des REF-Zählers 20 an, um ein REF. Req-Signal zu erzeugen.

Ein R-Zähler 17, der mit den Anschlüssen 11 und 15 verbunden ist, wird mit den R. RES und R. CLK-Signalen versorgt. Verbunden mit dem Ausgang des R-Zählers 17 sind ein R. Req-Generator 23 und ein R. Lade-generator 23', die auf einen Zählwert des R-Zählers 17 ansprechen, um ein R-Ladesignal bzw. ein R-Req-Signal zu erzeugen.

Die W. Req, REF. Req und R. Req-Signale werden zu einem Zyklusgenerator 10 geführt und der Zyklusgenerator 10 erzeugt W-Zyklus, REF-Zyklus und R-Zyklus-Signale, die an den Adressengenerator 9 auf Zeitteilungs-Basis abgegeben werden.

Ein Zeitgabe-Generator 21 ist ebenso vorgesehen, welcher das Systemtakt-Signal CLK in der Frequenz teilt, um Φ_0 bis Φ_n -Phasentakt-Signale zu erzeugen.

In dem Adressen-Steuergerät 26' ist der W-Zähler 19 zurücksetzbar mit dem W. RES-Signal und der R-Zähler 17 ist zurücksetzbar mit dem R. RES-Signal, wobei diese Rücksetzsignale ebenso an den Adressengenerator 9 angelegt werden.

Wie in dem Fall der Ausführungsform in Fig. 1 wird das W. CLK-Signal ebenso an den SP-Wandler 3 angelegt, das R. CLK-Signal ebenso an den PS-Wandler 7 angelegt, das W. Ladesignal an das Eingangspuffer-Register 4 angelegt und das R. Ladesignal an den PS-Wandler 7 angelegt.

Insbesondere in dieser Ausführungsform ist der Zählwert des W-Zählers 19 als auch des R-Zählers 17 so gewählt, daß er mit dem Betrag 2^n der Bit-Umwandlung in dem SP-Wandler 3 und PS-Wandler 7 zusammenfällt.

Der Betrieb der Ausführungsform in Fig. 20 wird nun mit Bezug auf ein Zeitdiagramm der Fig. 21 beschrieben.

In dem Zeitdiagramm der Fig. 21 wird ein normaler Betrieb dargestellt, wobei $n = 4$ und keine W. RES und R. RES-Signale von dem Anschluß 11' und 11, wie mit 21b und 22j in Fig. 21 bezeichnet, eingegeben werden.

In Fig. 21 stellen REF, W und R in einem Adressensignal 21p eine Renovieradresse (REF-Adresse), bzw. eine Schreibadresse (W-Adresse) und eine Leseadresse (R-Adresse) dar, und M , K und L in Klammern sind natürliche Zahlen, die die Werte der jeweiligen Adressen anzeigen. Somit zeigt (M) REF an, daß die Renovieradresse einen Wert von M hat, (K) W zeigt an, daß die Schreibadresse einen Wert von K hat und (L) R zeigt an, daß die Leseadresse einen Wert von L hat. Ebenso in Fig. 21 stellt *W in einem Datensignal 21q eine Schreibadresse (W-Adresse) dar, in welche 16 Bits 0 bis 15 von Eingabedaten in dem Datensignal 21q geschrieben werden und *R in einem Datensignal 21r stellt eine Leseadresse (R-Adresse) dar, aus welcher 16 Bits 0 bis 15 von Ausgabedaten gelesen werden, wobei ein Wert in Klammern, eingefügt zwischen dem * und dem W ebenso wie

zwischen dem * und dem R einen Adressenwert darstellt.

Unter Bezugnahme auf Fig. 21, wenn der mit 21a bezeichnete W. CLK von dem Anschluß 16 eingegeben wird, erzeugt der W-Zähler 19, der den Zählwert 2^4 hat, ein Ausgangs-Impulssignal 21c bei einer Dauer von 16 Zählritten (counts) des W. CLK 21a. In gleicher Weise erzeugt der W. Ladegenerator 24' das Ausgangssignal W. Ladesignal 21d bei einer Dauer von 16 Zählritten und der W. Req-Generator 24 erzeugt das Ausgangssignal W. Req 21e bei einer Dauer von 16 Zählritten. Demgemäß überträgt der SP-Wandler 3, der auf das W. Ladesignal 21d anspricht, das Eingangsdaten-Signal Din 21q zu dem Eingangspuffer-Register 4 in Einheiten von 16 Bits 0 bis 15 wie erläutert. Der Generator 10 spricht auf den W. Req 21e an, um W-Zyklen dem Zyklus-Signal 21o zuzuweisen, und der Adressengenerator 9, der auf die W-Zyklus-Signale anspricht, erzeugt W-Adressen, wie z. B. $(K)W$, $(K+1)W$... wie in dem Adressensignal 21p gezeigt, welche ihrerseits zu dem Speicherzellen-Feld 5 über den Adressen-Decoder 8 geführt werden. In Reaktion auf eine W-Adresse werden parallele Daten von dem Eingangspuffer-Register 4 zu dem Speicherzellen-Feld 5 in Einheiten von 16 Bits übertragen. Demgemäß werden die Eingabedaten Din 21q von dem Anschluß 1 in Einheiten von 16 Bits zu den Speicherzellen des Speicherzellen-Feldes 5 übertragen, welche durch W-Adressen, wie z. B. $*(K)W$, $*(K+1)W$, $*(K+2)W$... bezeichnet werden.

Dagegen spricht der R-Zähler 17, der den Zählwert 2^4 hat, auf den R. CLK 21i an, der von dem Anschluß 15 eingegeben wird, um ein Ausgangs-Impulssignal 21k bei einer Dauer von 16 Zählritten des R. CLK 21i zu erzeugen. In gleicher Weise erzeugt der R. Ladegenerator 23' das R. Ladesignal 21l bei einer Dauer von 16 Zählritten und der R. Req-Generator erzeugt das R. Req 21m bei einer Dauer von 16 Zählritten. Dann spricht der Zyklusgenerator 10 auf das R. Req 21m an, um R-Zyklen dem Zyklus-Signal 21o zuzuweisen, und der Adressengenerator 9, welcher auf R-Zyklus-Signale anspricht, erzeugt R-Adressen wie z. B. $(L)R$, $(L+1)R$..., wie in dem Adressensignal 21p gezeigt, welches ihrerseits dem Speicherzellen-Feld 5 über den Adressen-Decoder 8 geführt wird, was veranlaßt, daß 16 Bits der parallelen Daten, entsprechend einer R-Adresse, von dem Speicherzellen-Feld 5 zu dem Ausgangspuffer-Register 6 übertragen werden. Der PS-Wandler 7 spricht dann auf das R-Ladesignal 21l an, um die 16 Bits der parallelen Daten zu bewegen, die zu dem Ausgangspuffer-Register 6 übertragen werden. In diesem Fall werden die Daten zu dem PS-Wandler 7 übertragen, und zwar in Einheiten von 16 Bits, wie gezeigt in dem Ausgangsdaten-Signal 21r, und zwar von Speicherzellen des Speicherzellen-Feldes 5, die mit R-Adressen wie z. B. $*(L-1)R$, $*(L)R$... bezeichnet sind, und werden durch den PS-Wandler 7, der auf R-CLK anspricht, in seriellen Daten gewandelt, welche als Dout an den Anschluß 2 abgegeben werden.

Die Zyklus-Zuweisungs-Operation durch den Zyklusgenerator 10 wird in näheren Einzelheiten beschrieben. Ein Vergleich der eingegebenen W. Req 21e, R. Req 21m und REF. Req 21h mit den Zyklen, die dem Zyklus-Signal 21o zugewiesen sind, zeigt klar, daß die Zyklen gemäß einer Sequenz des Auftretens der eingegebenen Anforderungssignale zugewiesen sind und das sie dieselbe Zeitdauer haben. Wenn die W. Req, R. Req und REF. Req-Signale eingegeben werden, beispielsweise in dieser Ordnung, werden der W-Zyklus, der R-Zyklus

und REF-Zyklus, welche dieselbe Zeitdauer haben, in dieser Ordnung bzw. Reihenfolge zugewiesen. Wenn das R. Req-Signal eingegeben wird, während der W-Zyklus noch läuft, wird der Beginn des R-Zyklus verlängert, bis der W-Zyklus beendet ist.

Wenn das REF. Req angegeben wird, während der W-Zyklus noch läuft, wird der Beginn des REF-Zyklus verlängert, bis der R-Zyklus beendet ist, welcher nach dem W-Zyklus beginnt. Auf diese Weise nimmt der Zyklus-Generator 10 die Zuweisung jedes Zyklus vor.

Wie oben beschrieben sind in dieser Ausführungsform der SP-Wandler 3 und PS-Wandler 7 auf der Eingangsseite bzw. Ausgangsseite des Speicherzellen-Feldes 5 vorgesehen, der W-Zähler 19 und R-Zähler 17 sind getrennt vorgesehen und haben den Zählwert, entsprechend dem Betrag der BIT-Wandlung in dem SP-Wandler 3 und PS-Wandler 7, um den jeweiligen W. CLK 21a und R. CLK 21i zu zählen, die W- und R-Zählerausgangssignale 21c und 21k werden verwendet, um den W. Req 21e und R. Req 21m zu erzeugen, die an der Taktperiode entsprechend dem Betrag der BIT-Wandlung auftreten, die W. Req und R. Req-Signale 21e und 21m werden verwendet, um Zyklen auf Zeitteilungs-basis zuzuweisen, und gemäß den jeweiligen Zyklen werden die Datenübertragung zwischen dem Speicherzellen-Feld 5 und sowohl Eingangs- als auch Ausgangs-Pufferregistern 4 und 6 und die Datenübertragung zwischen dem Eingangs-Pufferregister 4 und dem SP-Wandler 3 in Reaktion auf das W-Ladesignal 21d ebenso wie dem Ausgangs-Pufferregister 6 und dem PS-Wandler 7, in Reaktion auf das R-Ladesignal 21l ausgeführt, wodurch ein gleichzeitiges Schreiben/Lesen der seriellen Daten Din 21q und Dout 21r bezüglich des Bildspeichers ermöglicht wird.

Durch Auswahl des Betrags der BIT-Umwandlung in dem SP-Wandler 3 und PS-Wandler 7 zwischen 1 und 2^n (n eine natürliche Zahl) kann der Schaltaufbau der Zähler 15 und 17 vereinfacht werden.

Weiter in der Ausführungsform der Fig. 20 ist der CLK 21f verschieden von dem W. CLK 21a und der R. CLK 21i wird benutzt als das Eingangssignal des REF-Zählers 20 und dieser REF-Zähler 20 spricht auf das CLK 21f an und erzeugt ein Ausgangssignal 21g, das verwendet wird, um den REF. Req und REF-Zyklus-Signale in derselben Weise wie im vorhergehenden geschildert zu erzeugen, wobei das REF-Zyklus-Signal die REF-Adressen auf Zeitteilungs-basis erzeugt, welche zu dem Speicherzellen-Feld 5 geführt wird, um den Renovierbetrieb für das Speicherzellen-Feld zu vollenden.

Der Zeitgabe-Generator 21 teilt den CLK 21f in der Frequenz um beispielsweise $1/5$, um die Signale Φ_0 bis Φ_4 zu erzeugen, die gegeneinander um eine Periode des CLK 21f außer Phase sind, wobei eines dieser Ausgangssignale beispielhaft erläutert ist als das Signal Φ_0 21n in Fig. 21.

Ein weiteres Beispiel des Betriebs der Ausführungsform in Fig. 20 wird bezüglich eines Zeitdiagramms der Fig. 22 erläutert.

In Fig. 22 hat n denselben Wert wie in dem Beispiel der Fig. 21 und Signale 22a bzw. 22r entsprechend den Signalen 21a bis 21r in Fig. 21. Im Gegensatz zu dem Beispiel in Fig. 21, wo weder das W. RES 21a noch das R. RES 21j auftritt, tritt eines der W. RES 22a und R. RES 22j beispielsweise das R. RES 22j in der Fig. 22 auf. In Reaktion auf das R. RES 22j, werden der R-Zähler 17 und die R-Adresse in dem Adressen-Generator 9 zurückgesetzt. Als Ergebnis werden die Phasen des R-Zähler-Ausgangssignals 22k und R. Ladesignals 22l,

die bei der Dauer der 16 Zählschritte des R. CLK auftreten, wie in Fig. 22 erläutert, initialisiert. Das R. Req 22m wird gleichermaßen initialisiert, aber es kann auftreten synchron mit dem R. RES 22j, indem man das R. RES 22j zu dem R. Req-Generator 23 führt. Der Wert der R-Adresse in dem Adressen-Generator 9 ist ebenso initialisiert. Somit sind durch das R. RES 22j die einzelnen Zyklus-signale, wie bei 22o angezeigt, zugewiesen und einzelne Adressen werden auf Zeiteilungsbasis, wie bei 22p gezeigt, zugewiesen.

Insbesondere in diesem Beispiel wird ein Adressenwert, der von dem R. Req 22m synchron mit dem R. RES 22j zugewiesen wird, (0)R initialisiert, wie vorausgehend beschrieben, und danach werden R-Adressen (1)R, (2)R ... sequentiell gegeben. Gemäß einem R-Adressenwert, wird das Datensignal Dout wie bei 22r gezeigt, abgegeben. Beispielsweise mit der initialisierten Adresse *(0)R werden die Daten abgegeben, beginnend mit dem siebten Zählschritt des R. CLK 22i nach Eingabe des R. RES 22j. In den Daten, die dem Auftreten der initialisierten Adresse *(0)R vorausgehen, werden 16 Bits von Daten, entsprechend der vorhergehenden Adresse *(L - 1)R sequentiell, wie erläutert, abgegeben, und das letzte sechzehnte Bit bleibt erhalten.

Auf diese Weise, durch Vorsehen einer Einrichtung (nicht gezeigt) zum externen Bezeichnen des R. RES 22j und Zurücksetzen des R-Zählers 17 mit dem R. RES 22j, um die Adresse zu initialisieren, ist es möglich, eine Impulszahl R. CLK zu bezeichnen, welche auftritt nach Eingabe des R. RES 22j und bei welcher Daten der initialisierten Adresse (beispielsweise *(0)R) abgegeben werden. Des weiteren, durch Zurücksetzen des R-Zählers 17 mit dem R. RES 22j, um die Phase der Periode zu initialisieren, bei welcher das R-Ladesignal 22i und R. Req 22m erzeugt werden, kann eine Übertragung neuer paralleler Daten von dem Ausgangspuffer-Register zu dem PS-Wandler 7 während eines Zeitintervalls verhindert werden, in welchem Daten der initialisierten R-Adresse *(0)R, die nach der Eingabe des R. RES 22j auftreten, zu dem Ausgangsanschluß geführt werden, wodurch während eines Zeitintervalls, in welchem 16 Bits von Daten beispielsweise *(L - 1)R-Adresse, wie mit 22r bezeichnet, sequentiell abgegeben werden und daher werden die nachfolgenden Daten der *(0)R-Adresse abgegeben, und das letzte Bit der *(L - 1)R-Adressendaten kann gehalten werden. Durch Eingeben des R. RES 22j während eines Zeitintervalls, in dem die Amplitude des Bildsignals sich nicht ändert, beispielsweise während der Rücklaufperiode, kann die Rücklaufperiode gehalten werden, um einen Nachteil aufgrund von Verlust von Bits der Ausgangsdaten Dout zu vermeiden.

Wenn der Bildspeicher, der eine Eingangsstufe des SP-Wandlers und eine Ausgangsstufe des PS-Wandlers enthält, die jeweils den Betrag der BIT-Wandlung haben, welcher zwischen 1 bis 2^n liegt, im allgemeinen verwendet wird, um eine Feldverzögerung zu erhalten, die zu einer Verzögerung von 262 oder 263 Zeilen führt oder einer Rahmenstrichverzögerung, die zu einer Verzögerung von 525 Zeilen führt, entspricht eine Zeile 910 Taktimpulsen, wenn die Taktfrequenz so gewählt ist, daß sie vier Mal die Chrominanz-Trägerfrequenz fsc beträgt, und somit die Verzögerung von 262, 263 oder 525 Zeilen nicht vollständig durch 2^n geteilt werden kann, wobei ein Rest übrig bleibt, der für Datenverlust verantwortlich ist. Gemäß der folgenden Ausführungsform kann ein solcher Nachteil aufgrund von Datenverlust durch die oben beschriebene Operation ausgeschal-

tet werden.

Ein weiteres Beispiel der Operation der Ausführungsform in Fig. 20 wird mit Bezug auf ein Zeitdiagramm der Fig. 23 beschrieben.

In Fig. 23 hat n denselben Wert wie in dem Beispiel der Fig. 21 und die Signale 23a bis 23r entsprechen den Signalen 21a bis 21r in Fig. 21. Im Gegensatz zu dem Beispiel in der Fig. 21 oder Fig. 22 treten sowohl R. RES 23k und W. RES 23b in dem Beispiel der Fig. 23 auf. In Reaktion auf den R. RES 23j, wirkt das Signal 23k, das von dem R-Zähler erzeugt wurde, das R. Ladesignal 23i und das R. Req 23m so, daß sie die R-Adresse zuweisen und das Dout 23r in derselben Weise wie in dem Beispiel der Fig. 22 liefern. Dagegen, wenn der W-Zähler 19 in Reaktion auf das W. RES 23b zurückgesetzt ist, werden die Perioden, zu denen das W-Zähler-Ausgangssignal 23c, W. Ladesignal 23b und W. Req-Signal 23e erzeugt sind, durch das W. RES 23b initialisiert, wie in Fig. 23 erläutert. das W. Req 23e wird daher beginnend mit beispielsweise dem siebzehnten Zählschritt des W. CLK 23a erzeugt, und zwar nach Eingabe des W. RES 23b. Der Wert der W-Adresse in dem Adressengenerator 9 wird ebenso initialisiert mit dem W. RES 23b. Somit sind die einzelnen W-Zyklus-signale, wie mit 23o bezeichnet, zugewiesen und einzelne W-Adressen sind wie mit 23b gezeigt zugewiesen. Im Ergebnis werden 16 Bits in Einheiten beispielsweise der seriellen Daten Din nach Eingabe des W. RES 23b sequentiell in das Speicherzellenfeld 5 bei W-Adressen geschrieben, die mit der initialisierten W-Adresse *(0)W beginnen und mit *(1)W, *(2)W ... fortfahren. Demgemäß ist es durch Verwendung des W. RES 23b möglich, anzugeben, welche Bits des Din in das Speicherzellenfeld 5 an der initialisierten Adresse geschrieben werden sollen. Durch Verwendung des W. RES 23b und R. RES 23j kann die Verzögerungszeit für die Daten wie gewünscht außerhalb des Speichers eingestellt werden.

Der W-Zähler 19, der W. Ladegenerator 24' und W. Req-Generator 24, die in der Ausführungsform in Fig. 20 verwendet werden, können spezifisch, wie in Fig. 24 gezeigt, aufgebaut sein und der R-Zähler 17, der R. Ladegenerator 23' und der R. Req-Generator 23, die in der Ausführungsform der Fig. 20 verwendet werden, können spezifisch aufgebaut sein, wie in Fig. 25 gezeigt.

Unter Bezugnahme auf die Fig. 24 und 25 bezeichnen Bezugszeichen 204 bis 210 Inverter, die Zahlen 211 bis 218 Zähler, 219 und 220 Flip-Flops zum Festhalten, 221 und 222 UND-Schaltkreise und 223 einen NAND-Schaltkreis, wobei die anderen Elemente dieselben wie die der Fig. 20 sind.

In Fig. 24 wird der W. CLK aus Anschluß 16 von den 4-Bit Zählern 211 bis 214 gezählt und ein Zähler-Ausgangsimpuls-Signal, das bei der Periode von 16 Impulsen des W. CLK erzeugt wird, wird festgehalten, beispielsweise durch das Flip-flop 219, so daß das in dem Zeitdiagramm der Fig. 21 bis 23 gezeigte W. Req-Signal erhalten werden kann. Das Zähler-Ausgangsimpuls-Signal wird ebenso UND-verbunden mit dem W. CLK an dem UND-gate 221, um das W. Ladesignal zu erzeugen, das in dem Zeitdiagramm der Fig. 21 bis 23 gezeigt ist. In dem Aufbau der Fig. 24 kann der W-Zähler 19 leicht mit dem W. RES zurückgesetzt werden, das von dem Anschluß 11' eingegeben wird.

Aus der obigen Erklärung ist leicht abzuleiten, daß der R. Req und das R. Ladesignal, wie in Fig. 21 bis 23 gezeigt, mit dem Aufbau der Fig. 25 erhalten werden können.

Fig. 26 erläutert eine Modifikation der Ausführungs-

form in Fig. 20.

Im Gegensatz zu der Ausführungsform in Fig. 20, bei der ein gewöhnliches Schieberegister als SP-Wandler 3 verwendet wird, der als die Eingangsstufe zu dem Speicherzellen-Feld 5 dient, wird die Seriell/Parallel-Wandlung des Eingabedaten-Signals Din unter Verwendung zweier Eingangs-Pufferregister 104 und 105 in dieser Modifikation bewirkt. In gleicher Weise wird die Parallel/Seriell-Wandlung an der Ausgangsstufe ebenso bewirkt unter Verwendung zweier Ausgangs-Pufferregister 106 und 107.

Die Modifikation der Fig. 26 arbeitet wie folgt:

Die Eingangsregister 104 und 105 ebenso wie die Ausgangsregister 106 und 107 dieser Modifikation sind 2^n -Bit-Register. Diese seriellen Daten Din von dem Anschluß 1 werden zuerst kontinuierlich um 2^n -Bits in beispielsweise das erste Eingaberegister 104 geschrieben und danach in das zweite Eingaberegister 105. Während eines Zeitintervalls, in dem die nachfolgenden Bits in das zweite Eingangsregister 105 geschrieben werden, werden die 2^n -Bits in dem ersten Eingangsregister 104 als parallele Daten zu dem Speicherzellen-Feld 5 übertragen. Nachfolgend, wenn alle 2^n -Bits in das zweite Eingangsregister 105 geschrieben worden sind, wird das Schreiben der Daten in das erste Eingangsregister 104 wiederum begonnen. Während die zweiten Daten in das erste Eingangsregister 104 geschrieben werden, werden die 2^n -Bits in dem zweiten Eingangsregister 105 als parallele Daten zu dem Speicherzellen-Feld 5 übertragen.

Auf diese Weise werden zwei Gruppen von Bits des Eingangs-Datensignals Din aus dem Anschluß 1 kontinuierlich in die zwei Eingangsregister 104 bzw. 105 bewegt, und beide zwei Eingangsregister können gehindert werden, neue Bits des Din zu bewegen, bevor die vorhergehenden Bits, die in das Eingangsregister bewegt wurden, alle zum Speicherzellen-Feld 5 übertragen wurden.

Um diesen Betrieb zu erfüllen, werden Adressendaten von einem W-Zähler 19, die den Zählwert von 2^n gleich dem W-Zähler in der Ausführungsform der Fig. 20 haben, durch einen Eingangsregister-Adressendecoder 102 decodiert, um sequentiell zu bezeichnen, welche Adressen in jedem Eingangsregister mit Bits des Din von Anschluß 1 geschrieben sind, und das Ausgangssignal des W-Zählers 19 wird in der Frequenz mit 1/2 geteilt, und zwar mittels eines 1/2-Frequenzteilers, um ein Signal zu liefern, das verwendet wird, um anzugeben, zu welchem von dem ersten und zweiten Eingangsregister 104 und 105 das Datensignal Din aus Anschluß 1 geführt wird und aus welchem des ersten und zweiten Eingangsregisters die Daten in das Speicherzellen-Feld 5 übertragen werden.

Die zwei Ausgaberegister 106 und 107 und ein Ausgabe-Register-Adressendecoder 103, der in der Ausgangsstufe vorgesehen ist, arbeiten im wesentlichen identisch zu den Eingangsregistern 104 und 105 und dem Eingangs-Register-Adressendecoder 102. Somit werden während eines Zeitintervalls, in dem Bits der Daten in dem ersten Ausgangsregister 106 als serielle Daten zu dem Anschluß 2 geführt werden, 2^n -Bits als parallele Daten aus dem Speicherzellen-Feld 5 zu dem zweiten Register 107 übertragen. Nachfolgend, wenn die serielle Umwandlung der 2^n -Bits von Daten des ersten Ausgangsregisters 106 beendet ist, wird die serielle Umwandlung der Daten des zweiten Ausgangsregisters 107 begonnen und neue 2^n -Bits von parallelen Daten werden aus dem Speicherzellen-Feld 5 in das erste Ausgangsregister 106 übertragen. Ein Ausgangssignal eines

R-Zählers 17 zum Zählen des 2^n wird in der Frequenz mit 1/2 geteilt durch einen 1/2-Frequenzteiler 101, um ein Signal zu liefern, welches verwendet wird, um das erste und zweite Ausgangsregister 106 und 107 zu schalten.

Mit Ausnahme des eben gesagten ist der Betrieb dieser Modifikation derselbe wie der der Ausführungsform in Fig. 20, womit Ausgangsdaten geliefert werden, welche genau dieselben wie die in der Ausführungsform der Fig. 20 sind.

Der Betrag der Bit-Wandlung von 1 bis 2^n ist ausgedrückt als 1 bis 16 in der Beschreibung der Ausführungsform mit Bezug auf die Fig. 20 bis 26, aber er ist nicht auf diesen Wert beschränkt und kann beispielsweise 1 bis 8 oder 1 bis 32 betragen.

Die dritte Ausführungsform behandelt Daten in Einheiten von 2^n -Bits und daher kann sie auf einen Digital-speicher angewandt werden, und zwar zur Verwendung in einem Faksimile und dergleichen.

In den vorausgehenden Ausführungsformen ist das Renovier-Signal-Erzeugungssystem inbegriffen, und zwar wegen des DRAM, welches als die Speicherzelle verwendet wird, aber offensichtlich kann es auch weggelassen werden, wenn ein statischer Speicher eingesetzt wird.

Patentansprüche

1. Bildspeicher mit

einem Seriell/Parallel-Wandler (3) zum Umwandeln von seriellen Eingangsdaten in parallele Daten;

einer ersten Halteeinrichtung (4) zum Halten der parallelen Daten aus dem Seriell/Parallel-Wandler; einer Daten-Speichereinrichtung (5) zum Speichern paralleler Daten, die von der ersten Halteeinrichtung ausgegeben werden;

einer zweiten Halteeinrichtung (6) zum Halten paralleler Daten, die aus der Daten-Speichereinrichtung ausgelesen werden;

einem Parallel/Seriell-Wandler (7) zum Umwandeln paralleler Daten, die von der zweiten Halteeinrichtung ausgelesen werden, in serielle Daten;

einem Adressen-Generator (8) zum Zuführen einer Schreibadresse und einer Leseadresse zu der Daten-Speichereinrichtung auf Zeitteilungs-Basis; und einem Adressen-Steuergerät (26) zum Steuern des Adressen-Generators.

2. Bildspeicher gemäß Anspruch 1, wobei das Adressen-Steuergerät gekennzeichnet ist durch eine erste und zweite Ausdünn-Einrichtung (15; 16) zum Ausdünnen von wenigstens mehr als zwei Impulsen aus einem Haupttakt-Signal, wobei die zwei Impulse für die erste und zweite Ausdünn-Einrichtung verschieden sind;

einen ersten und zweiten Zähler (17; 19) zum Zählen von Taktsignalen, die von den zwei Ausdünn-Einrichtungen jeweils ausgegeben werden;

einen dritten Zähler (18) zum Zählen des Haupttakt-Signals; und

eine Einrichtung (23), die auf Zähl-Ausgangssignale des ersten und dritten Zählers anspricht, um ein Lese-Steuersignal zu erzeugen;

wobei das Taktsignal, das von der ersten Ausdünn-Einrichtung in Reaktion auf ein Zähl-Ausgangssignal von dem zweiten Zähler erzeugt wird, als ein Taktsignal verwendet wird, das die in dem Parallel/Seriell-Wandler bewegten parallelen Daten seriell

überträgt, und das Taktsignal, das von der zweiten Ausdünn-Einrichtung erzeugt wird, als ein Taktsignal verwendet wird, das die in den Seriell/Parallel-Wandler bewegten Daten sequentiell zu der ersten Halteeinrichtung überträgt.

3. Bildspeicher nach Anspruch 2, dadurch gekennzeichnet, daß das Adressen-Steuergerät des weiteren einen Zyklus-Generator (10) aufweist, der das Lese-Steuersignal und ein Schreib-Steuersignal empfängt und dem Adressen-Generator einen Lesezyklus und einen Schreibzyklus zuführt, welche in vorbestimmter präferentieller Sequenz auf Zeitteilungs-Basis sind.

4. Bildspeicher nach Anspruch 2, dadurch gekennzeichnet, daß der erste Zähler den Zählwert hat, der gleich dem Betrag der Bit-Umwandlung in dem Seriell/Parallel-Wandler eingestellt ist und der zweite Zähler den Zählwert hat, der gleich dem Betrag der Bit-Umwandlung in dem Parallel/Seriell-Wandler eingestellt ist.

5. Bildspeicher nach Anspruch 3, dadurch gekennzeichnet, daß das Adressen-Steuergerät einen vierten Zähler (20) aufweist, der das Haupttakt-Signal zählt und eine Einrichtung (25), die auf ein Zähl-Ausgangssignal von dem vierten Zähler anspricht, und ein Renovierungssignal erzeugt, wobei der Zyklus-Generator das Renovierungs-Signal empfängt, um dem Adressen-Generator einen Lesezyklus, einen Schreibzyklus und einen Renovierungs-Zyklus zuzuführen, die in vorbestimmter präferentieller Sequenz auf Zeitteilungs-Basis sind.

6. Bildspeicher nach Anspruch 5, dadurch gekennzeichnet, daß das Schreib-Steuersignal und das Lese-Steuersignal erzeugt werden während eines Zyklus, in welchem die erste und die zweite Halteeinrichtung die parallelen Daten und dann die gehaltenen parallelen Daten abgeben.

7. Bildspeicher nach Anspruch 2, dadurch gekennzeichnet, daß die Erzeugungseinrichtung für das Lese-Steuersignal auf das Eingeben eines Rücksetzsignals anspricht, um unmittelbar das Lese-Steuersignal abzugeben, unmittelbar auf das Ausgangssignal des dritten Zählers anspricht, um das Lese-Steuersignal abzugeben und danach auf das zyklische Zähl-Ausgangssignal von dem ersten Zähler anspricht, um das Lese-Steuersignal zu erzeugen.

8. Bildspeicher nach Anspruch 2, dadurch gekennzeichnet, daß das Zähl-Ausgangssignal des ersten Zählers mit dem des zweiten Zählers zusammenfällt.

9. Bildspeicher nach Anspruch 1, wobei der Adressen-Generator gekennzeichnet ist durch ein Wunschadresse-Register (30) zum Bewegen einer extern bezeichneten gewünschten Adresse; ein Leseadresse-Register (34) zum Speichern einer Leseadresse;

ein Schreibadresse-Register (35) zum Speichern einer Schreibadresse;

einen Ausgangs-Wählschalter (37) zum Auswählen einer Adresse in jedem der Register und zum Abgeben der gewählten Adresse;

ein Speicheradresse-Register (38) zum Speichern der Adresse, die von dem Ausgangs-Wählschalter abgegeben wurde und zum Abgeben der Adresse gemäß einem vorbestimmten Taktsignal;

ein Adress-Inkrement/Dekrement-Einrichtung (33) zum Empfangen der Adresse und Abgeben einer

inkrementierten/dekrementierten Adresse; einen ersten und zweiten Eingangs-Wählschalter (31, 32) zum Auswählen einer gewünschten Adresse des gewünschten Adresse-Registers und des

Ausgangssignals der Adress-Inkrement/Dekrement-Einrichtung und Abgeben eines ausgewählten Signals an das Leseregister bzw. Schreibregister.

10. Bildspeicher nach Anspruch 9, wobei das Adressen-Steuergerät gekennzeichnet ist durch eine erste und zweite Ausdünn-Einrichtung (15, 16) zum beliebigen Ausdünnen von wenigstens mehr als zwei Impulsen aus einem Haupttakt-Signal, wobei die zwei Impulse für die erste und zweite Ausdünn-Einrichtung verschieden sind;

einen ersten und zweiten Zähler (17; 19) zum Zählen von Taktsignalen, die von der ersten und zweiten Ausdünn-Einrichtung abgegeben wurden;

eine Einrichtung (23), die auf ein Zähl-Ausgangssignal des ersten Zählers anspricht und ein Lese-Steuersignal erzeugt; und

eine Einrichtung (24), die auf ein Zähl-Ausgangssignal des zweiten Zählers anspricht, um ein Schreib-Steuersignal zu erzeugen.

11. Bildspeicher nach Anspruch 9, dadurch gekennzeichnet, daß der Adressen-Generator die gewünschte Adresse, die von dem Wunschadresse-Register empfangen wurde, in das Lese-Adresse-Register und das Schreib-Adresse-Register bewegt, wenn er das Lese-Steuersignal und das Schreib-Steuersignal empfängt, und der Ausgangs-Wählschalter auf das Lese-Steuersignal und das Schreib-Steuersignal anspricht, um die Leseadresse- und Schreibadresse auf Zeitteilungs-Basis abzugeben.

12. Bildspeicher nach Anspruch 10, dadurch gekennzeichnet, daß der erste Eingangs-Wählschalter und das Leseadresse-Register gesteuert werden durch das Lese-Steuersignal, der zweite Eingangs-Wählschalter und das Schreibadresse-Register durch das Schreib-Steuersignal gesteuert werden, und der Ausgangs-Wählschalter durch das Lese- und Schreib-Steuersignal auf Zeitteilungs-Basis gesteuert wird.

13. Bildspeicher nach Anspruch 10, dadurch gekennzeichnet, daß das Adressen-Steuergerät des weiteren einen Zähler (20) aufweist, der das Haupttakt-Signal zählt, und eine Einrichtung (25), die ein Renovierungs-Steuersignal auf der Basis des Zählwertes des Zählers erzeugt, und daß der Adressen-Generator des weiteren ein Renovierungsadresse-Register (36) aufweist, das auf das Renovierungs-Steuersignal anspricht, um zu arbeiten.

14. Bildspeicher nach Anspruch 10, dadurch gekennzeichnet, daß der zweite Zähler bzw. erste Zähler an die erste und zweite Halteeinrichtung Kommandosignale abgibt, um sie zu veranlassen, Daten zu übertragen, wobei zu jeder Zeit der zweite bzw. erste Zähler die Impulse hoch zählt, die einer Anzahl von Bits entsprechen, welche der Parallel/Seriell-Wandlung unterliegen und einer Anzahl von Bits, die der Seriell/Parallel-Wandlung unterliegen.

15. Bildspeicher nach Anspruch 10, dadurch gekennzeichnet, daß die Erzeugungseinrichtung für das Lese-Steuersignal ein erstes Flip-flop (178) aufweist, welches mit einem externen Datenlese-Bezeichnungssignal eingestellt wird, und ein zweites

Flip-flop (179), welches ein Einstellsignal des ersten Flip-flops liest und es in Reaktion auf ein Lese-Anforderungssignal bewegt, das in der Erzeugungseinrichtung für das Lese-Steuersignal erzeugt wird.

16. Bildspeicher nach Anspruch 1, dadurch gekennzeichnet, daß der Seriell/Parallel-Wandler, der Parallel/Seriell-Wandler, die erste Halteeinrichtung und zweite Halteeinrichtung die parallelen Daten in Einheiten von 2^n Bits (n eine natürliche Zahl) handhaben, die Daten-Speichereinrichtung ein Speicherzellen-Feld (5) ist, welches aus ($K \times 2^n$) Spalten \times m Reihen besteht, wobei K und m natürliche Zahlen sind, und das erste Adressen-Steuergerät einen ersten und zweiten Zähler (19, 17) aufweist, um die verschiedenen Taktsignale zu zählen, eine Einrichtung (24'), die ein Schreib-Steuersignal erzeugt, zu jeder Zeit, wenn der erste Zähler ($L \times 2^n$) Impulse (L eine natürliche Zahl) hoch zählt, und eine Einrichtung (23'), die ein Lese-Steuersignal erzeugt jedesmal, wenn der zweite Zähler ($J \times 2^n$) Impulse (J eine natürliche Zahl) hoch zählt.

17. Bildspeicher nach Anspruch 16, dadurch gekennzeichnet, daß das Adressen-Steuergerät desweiteren einen Zyklus-Generator (10) aufweist, der das Lese-Steuersignal und das Schreib-Steuersignal empfängt und dem Adressen-Generator einen Lesezyklus und einen Schreibzyklus zuführt, welche in vorbestimmter Sequenz auf Zeitteilungs-basis sind.

18. Bildspeicher nach Anspruch 16, dadurch gekennzeichnet, daß parallele Daten, die in der Halteeinrichtung gehalten werden, in Einheiten von 2^n -Bits in das Speicherzellen-Feld geschrieben werden, und zwar durch das Schreibzyklus-Ausgangssignal auf der Basis einer Schreibadresse des Adressen-Generators, und parallele Daten, die in dem Speicherzellen-Feld gespeichert sind, in Einheiten von 2^n -Bits gelesen werden und zwar durch das Lesezyklus-Ausgangssignal auf der Basis einer Leseadresse von dem Adressen-Generator, und in die zweite Halteeinrichtung eingegeben werden.

19. Bildspeicher nach Anspruch 16, dadurch gekennzeichnet, daß das Adressen-Steuergerät desweiteren eine Rücksetzeinrichtung aufweist, die den ersten und zweiten Zähler voneinander unabhängig extern zurücksetzt, und eine Initialisierungseinrichtung, die den Adressenwert der Schreibadresse oder Leseadresse, die von dem Adressen-Generator erzeugt wird, initialisiert.

20. Bildspeicher nach Anspruch 17, dadurch gekennzeichnet, daß, wenn der erste Zähler fortfährt, Impulse eines Lese-Taktsignals zu lesen und von der Rücksetzeinrichtung zurückgesetzt wird, bevor er bis zu dem ($J \times 2^n$)-ten Impuls hoch gezählt hat, der Zyklus-Generator einen neuen Lesezyklus für das Speicherzellen-Feld zuweist, und zwar synchron mit dem Rücksetzen des ersten Zählers, und der Parallel/Seriell-Wandler alle Bits von Daten abgibt, die gewandelt wurden, wenn das Zurücksetzen auftritt, und danach wiederholt das letzte Bit dieser Daten während eines Zeitintervalls abgibt, in dem das nachfolgende Signal ausgegeben wird aus dem ersten Zähler, und dann parallele Daten, die in der zweiten Halteeinrichtung gehalten werden, erneut zu dem Parallel/Seriell-Wandler geführt werden.

21. Bildspeicher nach Anspruch 16, dadurch gekennzeichnet, daß der erste und zweite Zähler

durch extern zugeführte Rücksetz-Signale zurückgesetzt werden.

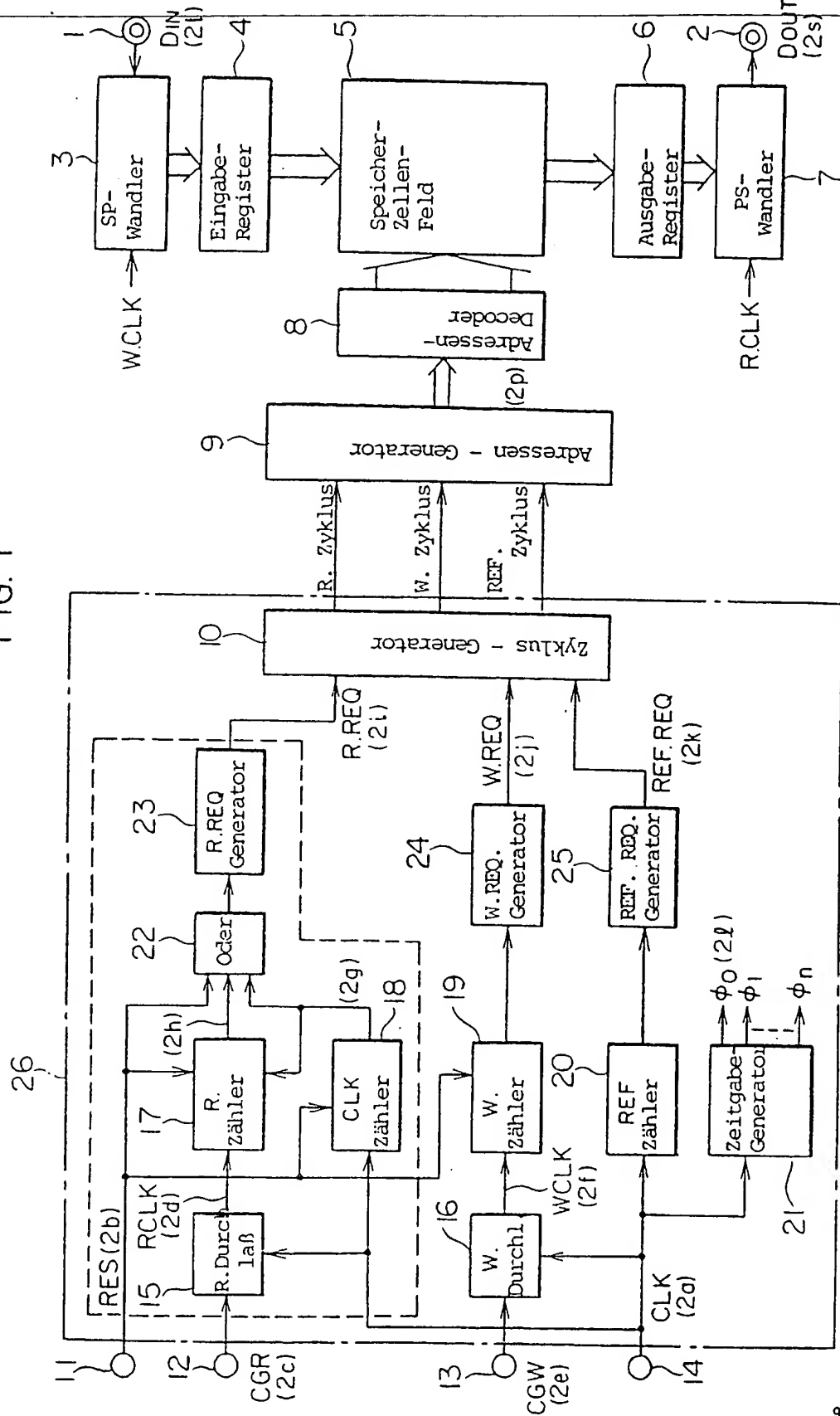
22. Bildspeicher nach Anspruch 17, dadurch gekennzeichnet, daß der erste und zweite Zähler n binäre Zähler zum Zählen von 2^n -Bits von Daten aufweisen.

23. Bildspeicher nach Anspruch 17, dadurch gekennzeichnet, daß die erste und zweite Halteeinrichtung zwei Halteeinrichtungen (104, 105; 106, 107) aufweisen, die parallel verbunden sind, um abwechselnd das Eingeben und Ausgeben der Daten durchzuführen.

3739423

Nummer: 37 39 423
 Int. Cl. 4: H 04 N 5/907
 Anmeldetag: 20. November 1987
 Offenlegungstag: 8. Juni 1989

FIG. 1



908 823/25

Timing diagram for the 68000 microprocessor showing signals 2a through 2t. The diagram illustrates the relationship between clock, reset, control, and data signals over multiple clock cycles. Key events include the start of a read cycle (2l ~ $\phi 0$), the address phase (2p ~ ADDR.), and the data phase (2q ~ R.Ladesignal, 2r ~ W.Ladesignal). The diagram also shows the state of the data bus during these phases, with labels like (O) R, (K) REF, (I) R, (O) W, (2) R, (K+1) REF, (1) W, and (3) R indicating the type of operation and the state of the bus.

FIG. 3

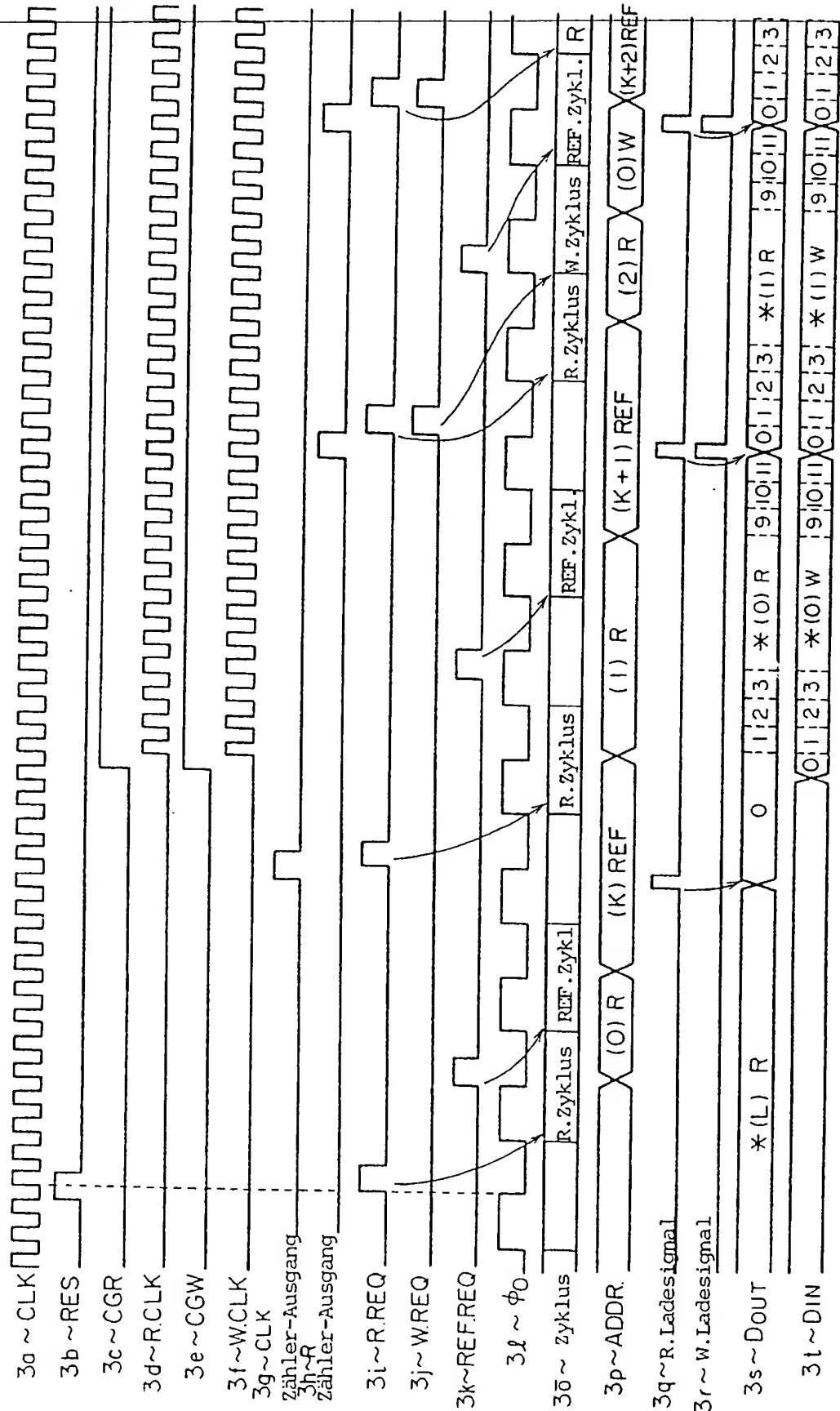


FIG. 4

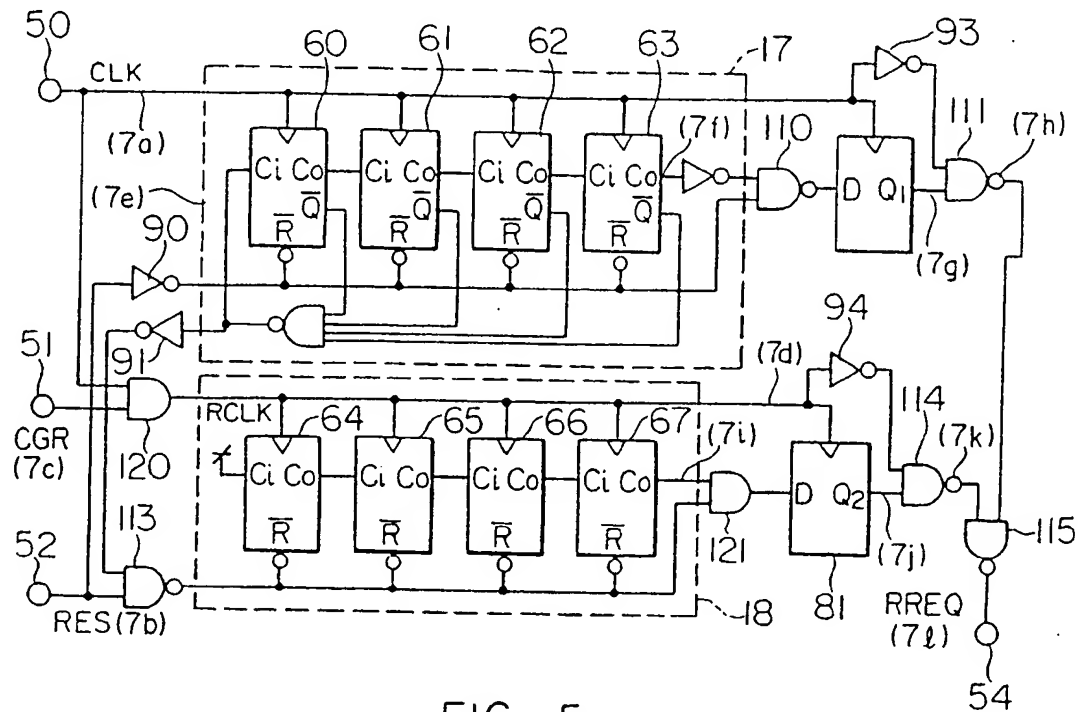


FIG. 5

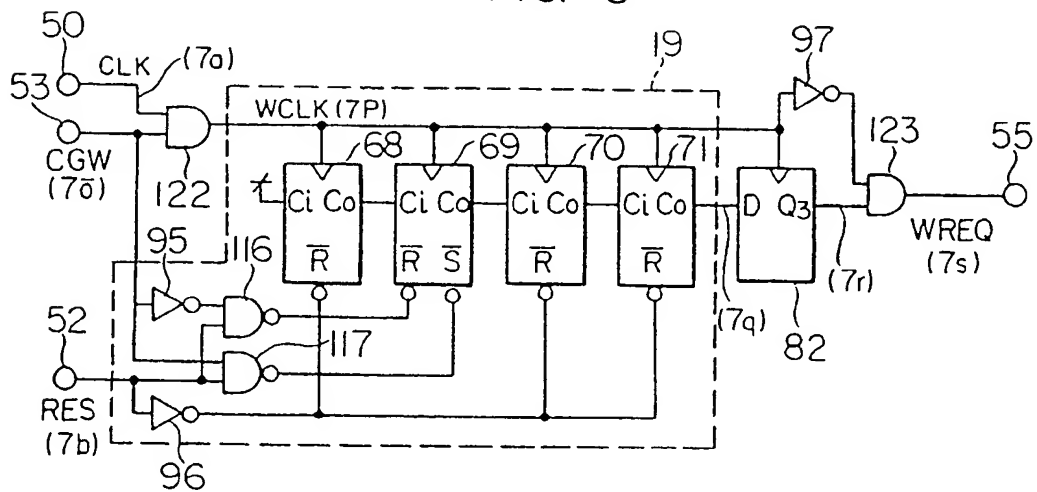


FIG. 6

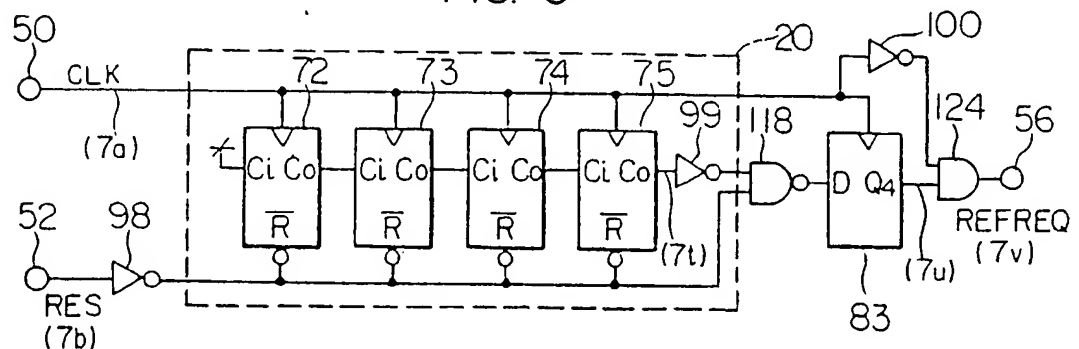


FIG. 7

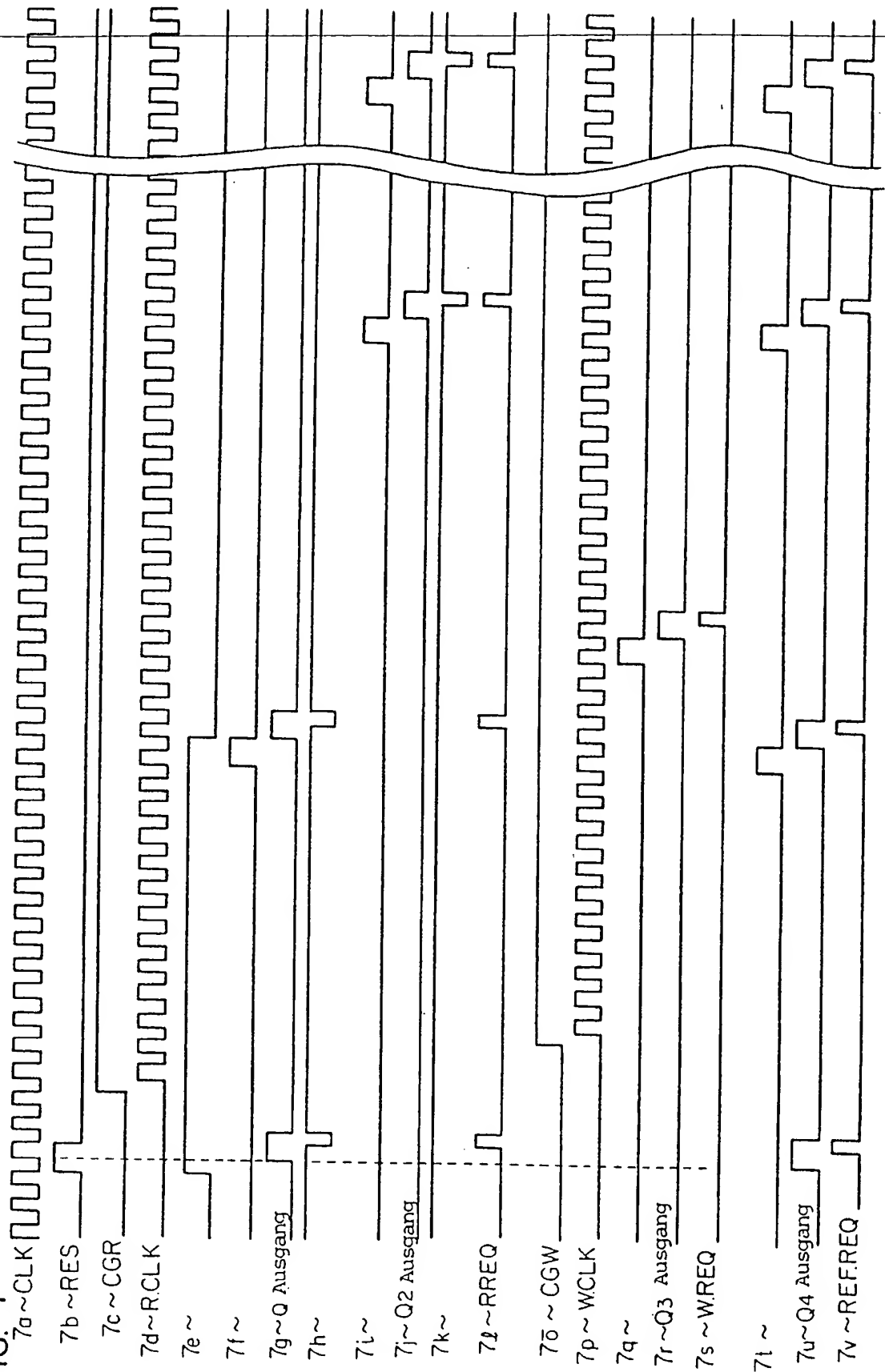


FIG. 10

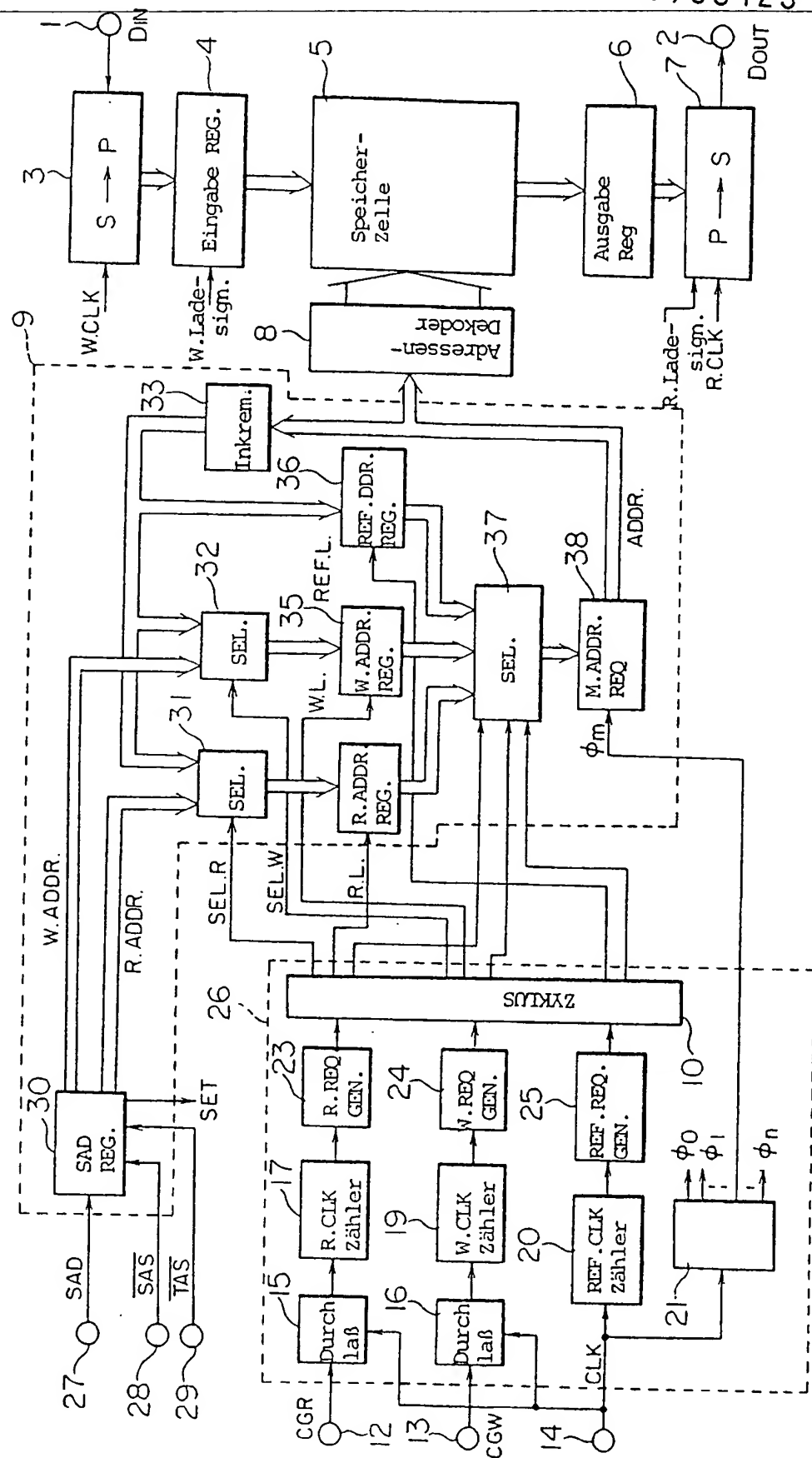


FIG. 11

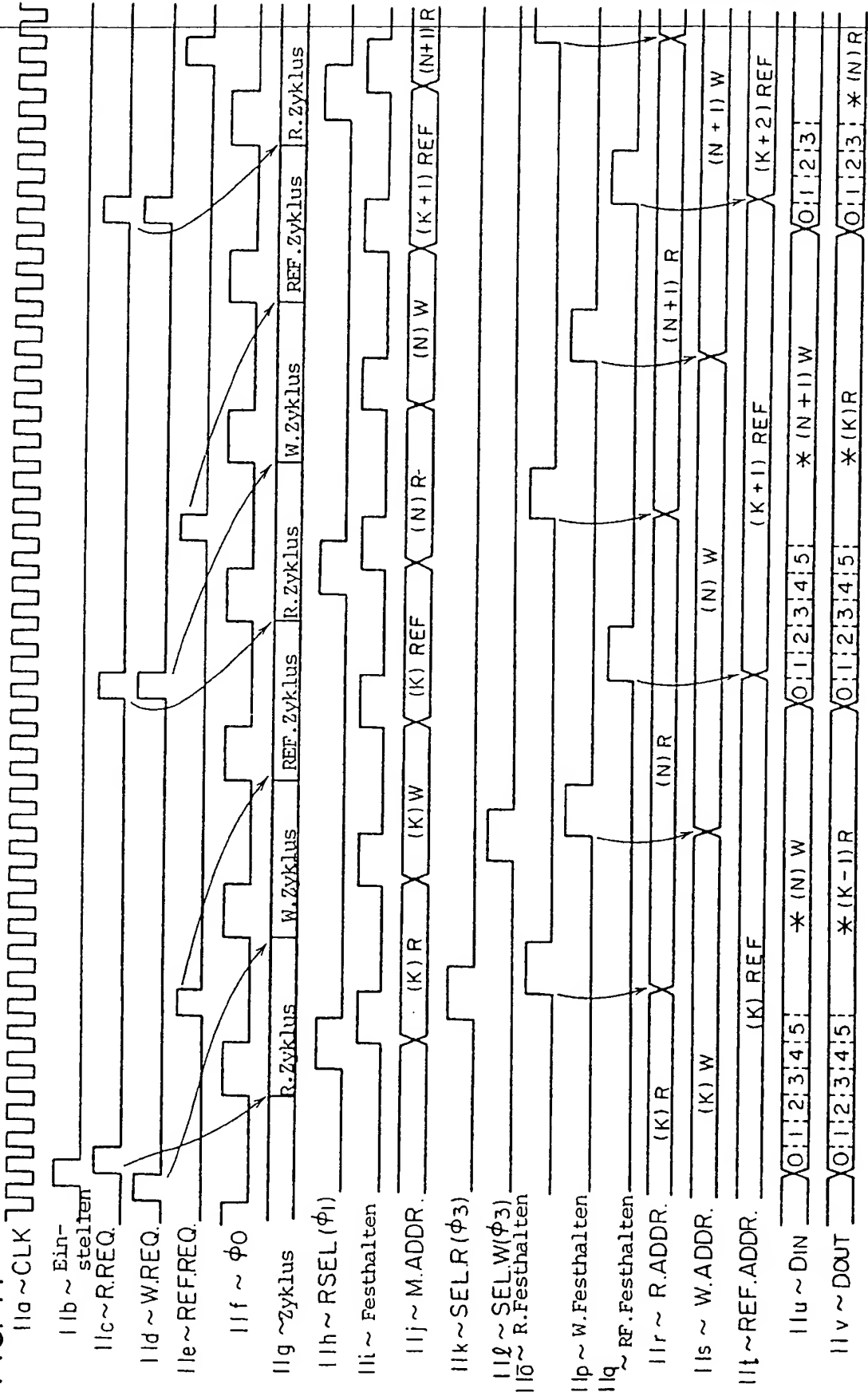


FIG. 12

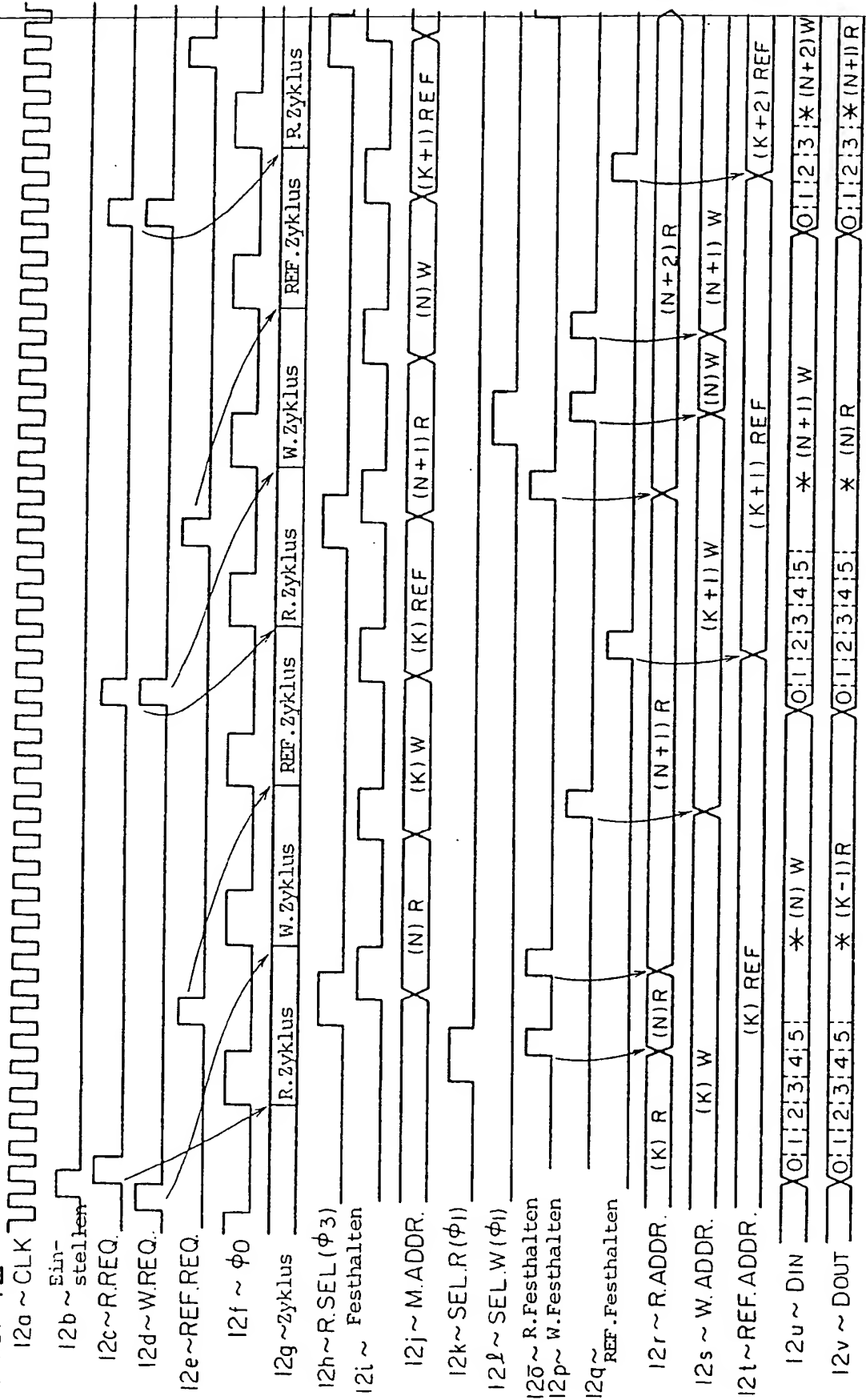


FIG. 13

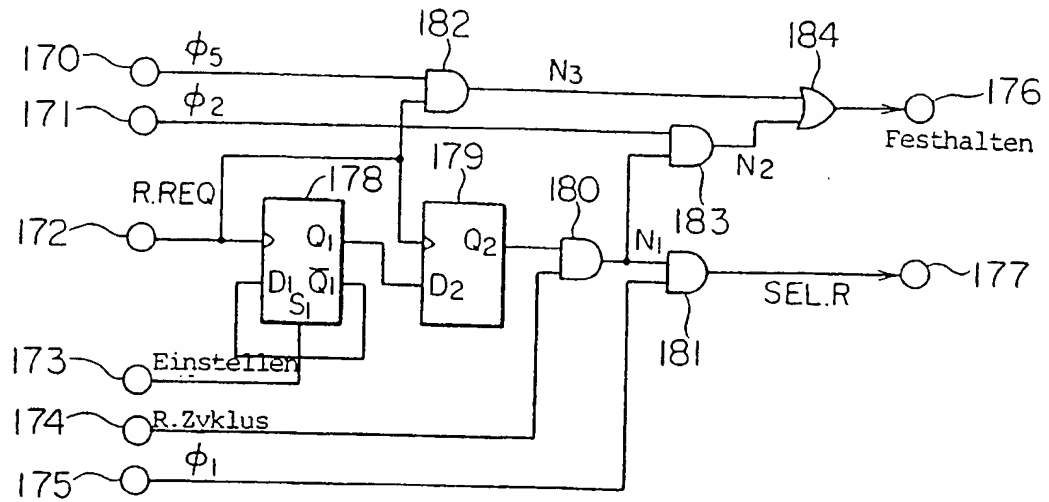


FIG. 14

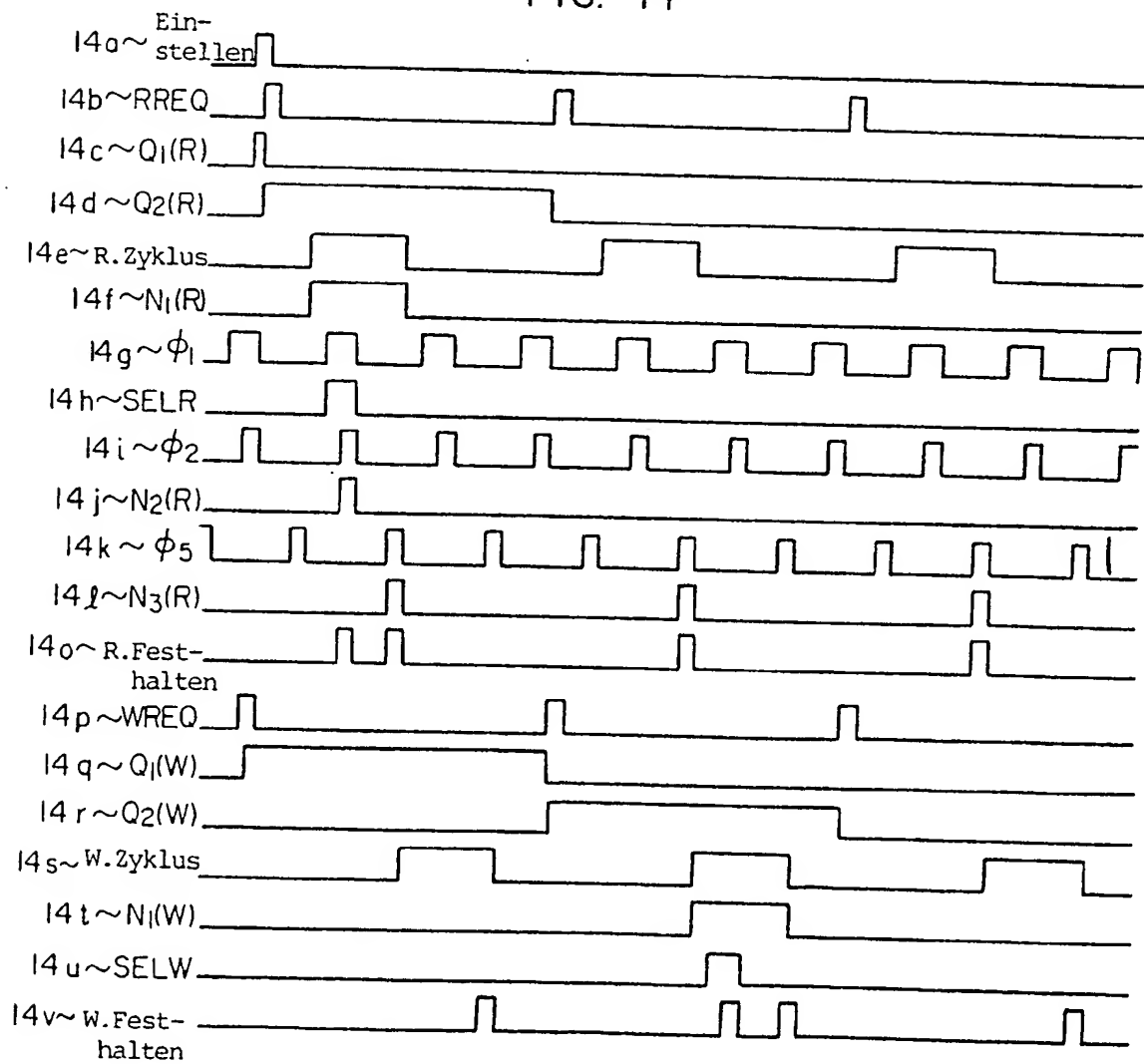


FIG. 16

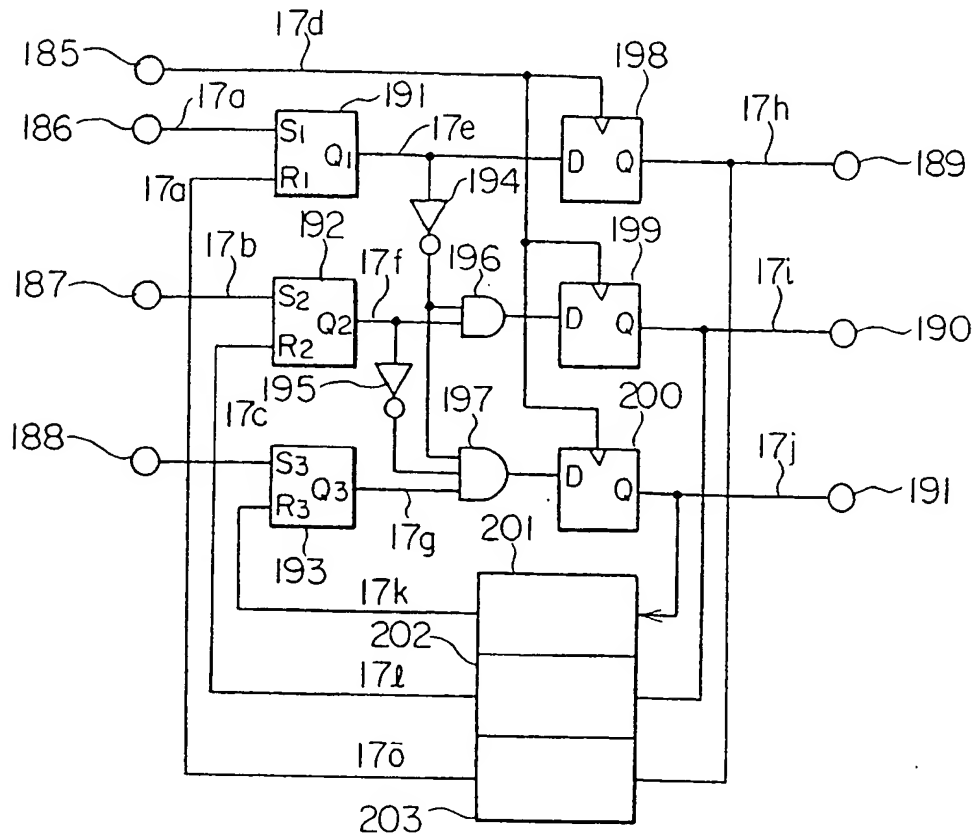


FIG. 17

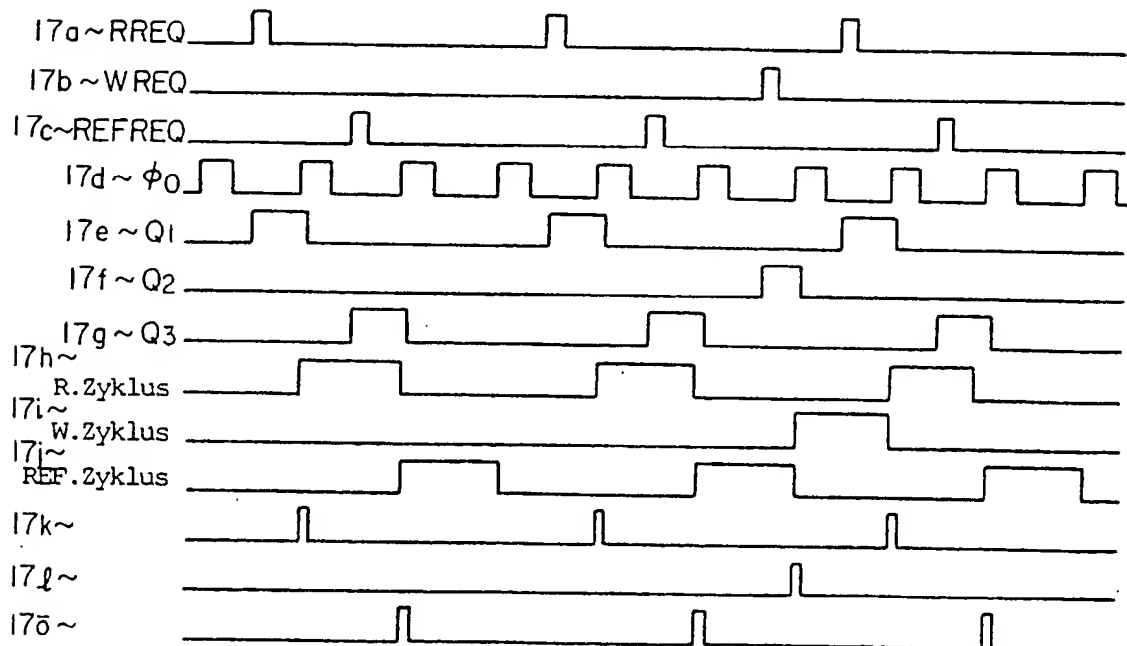


FIG. 18

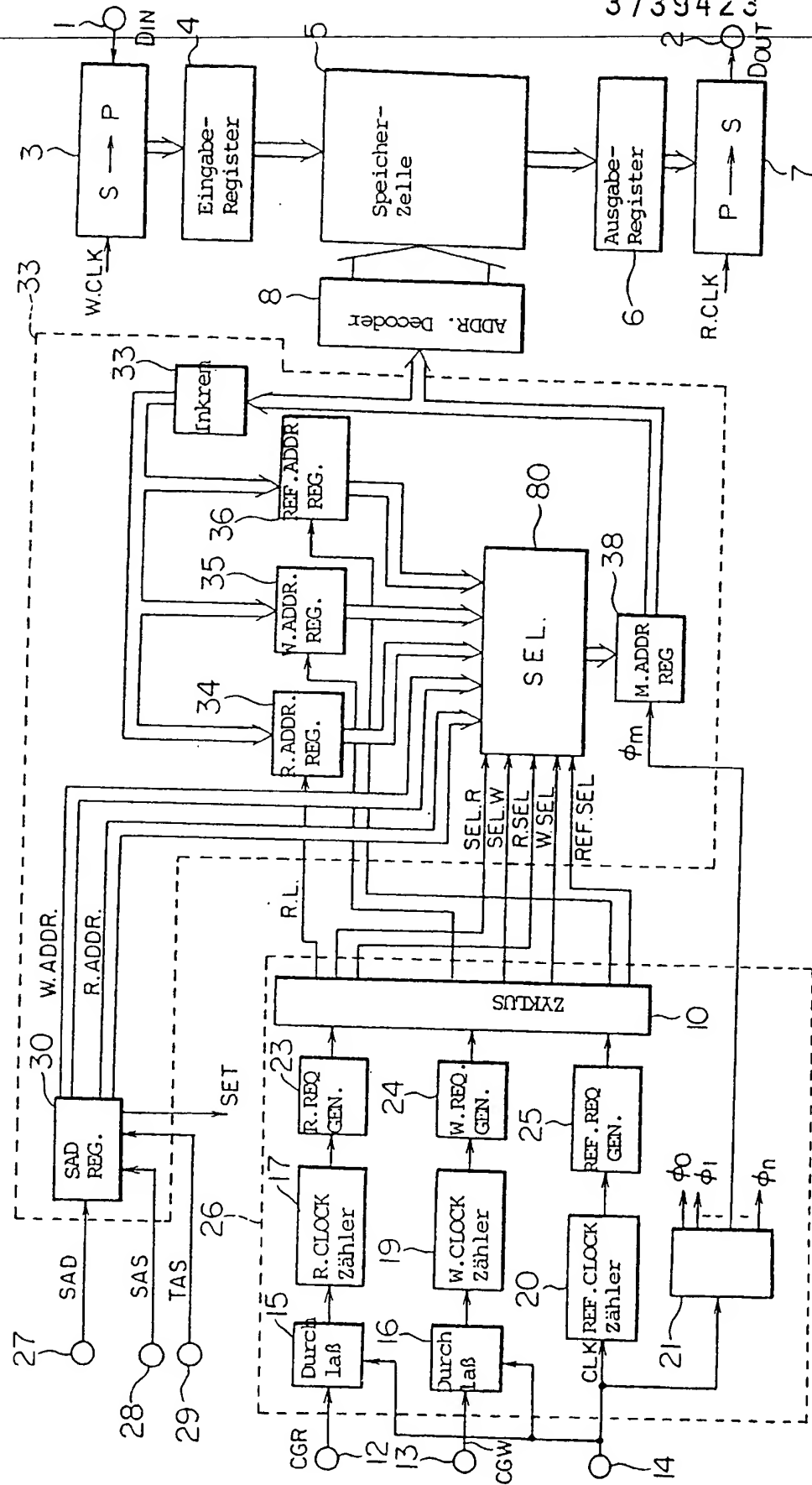


FIG. 19

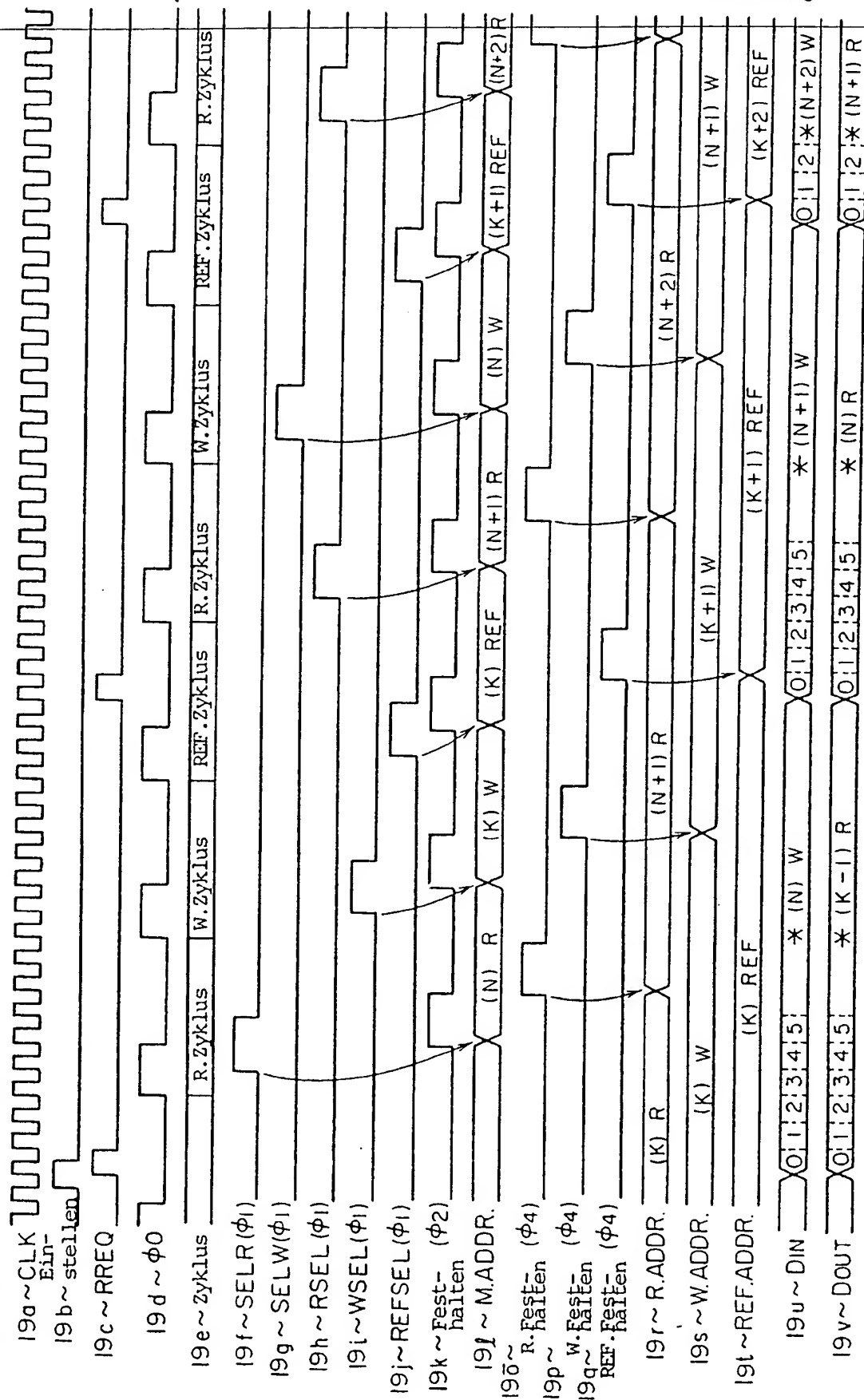


FIG. 20

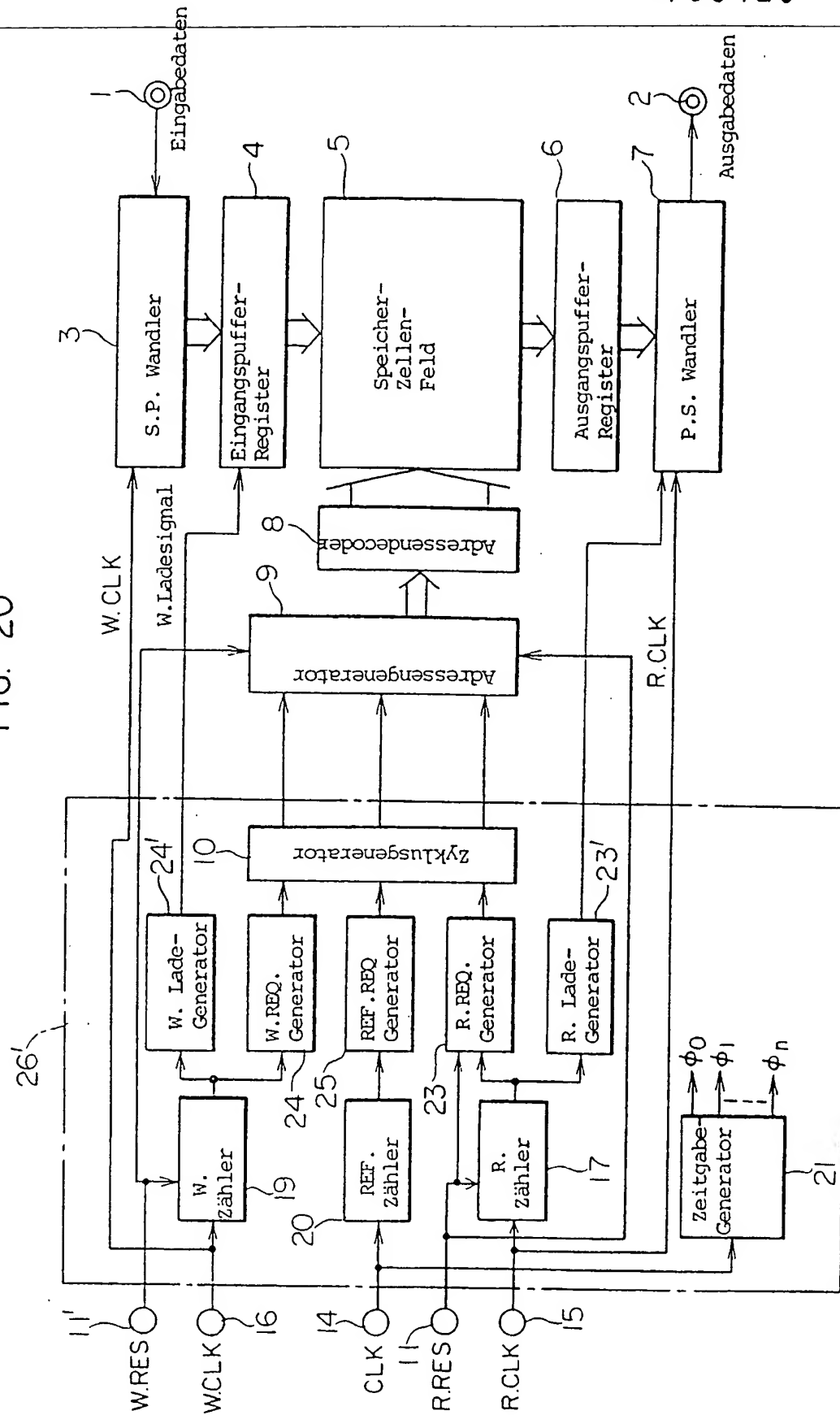
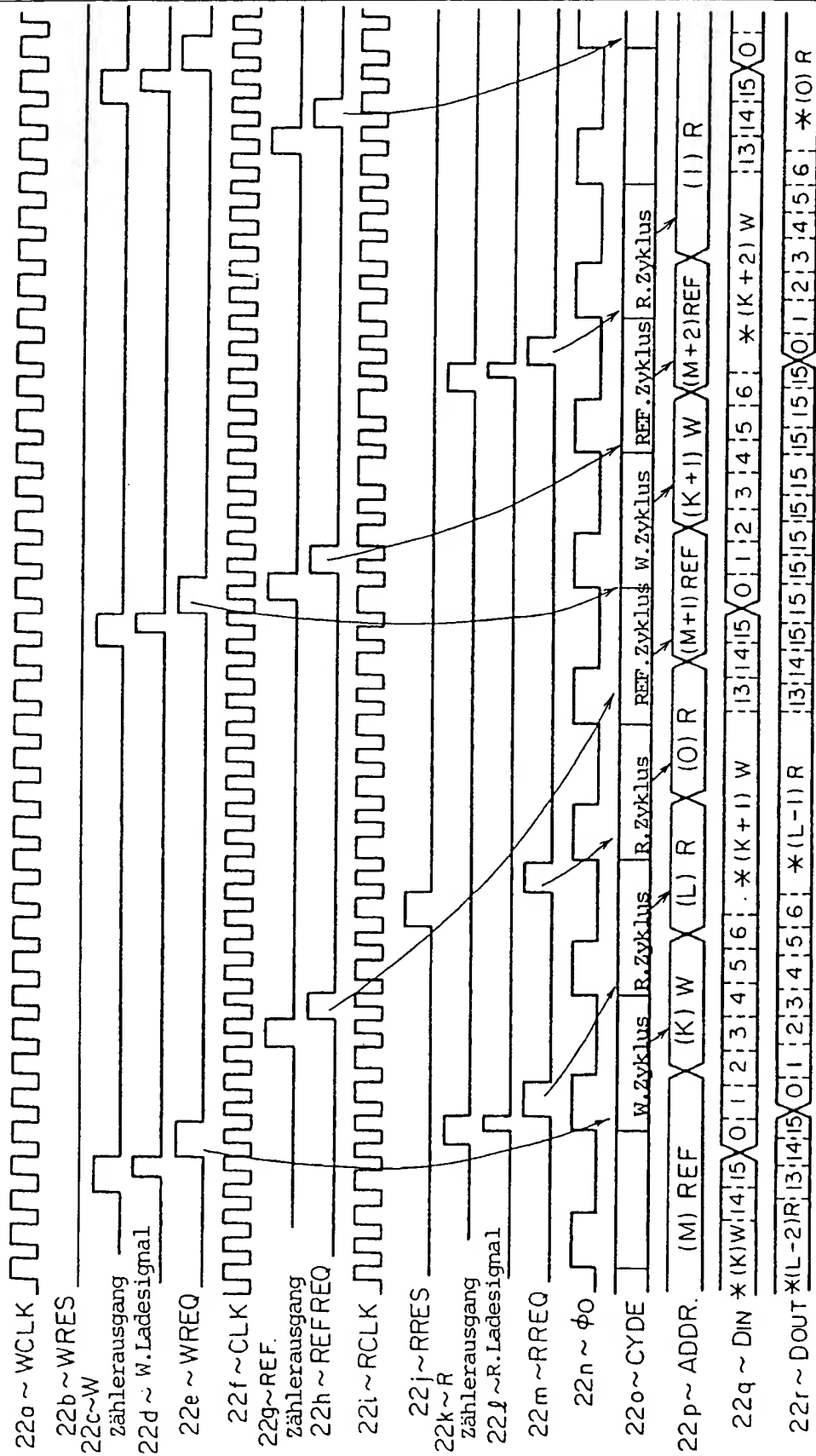


FIG. 22



3739423

FIG. 23

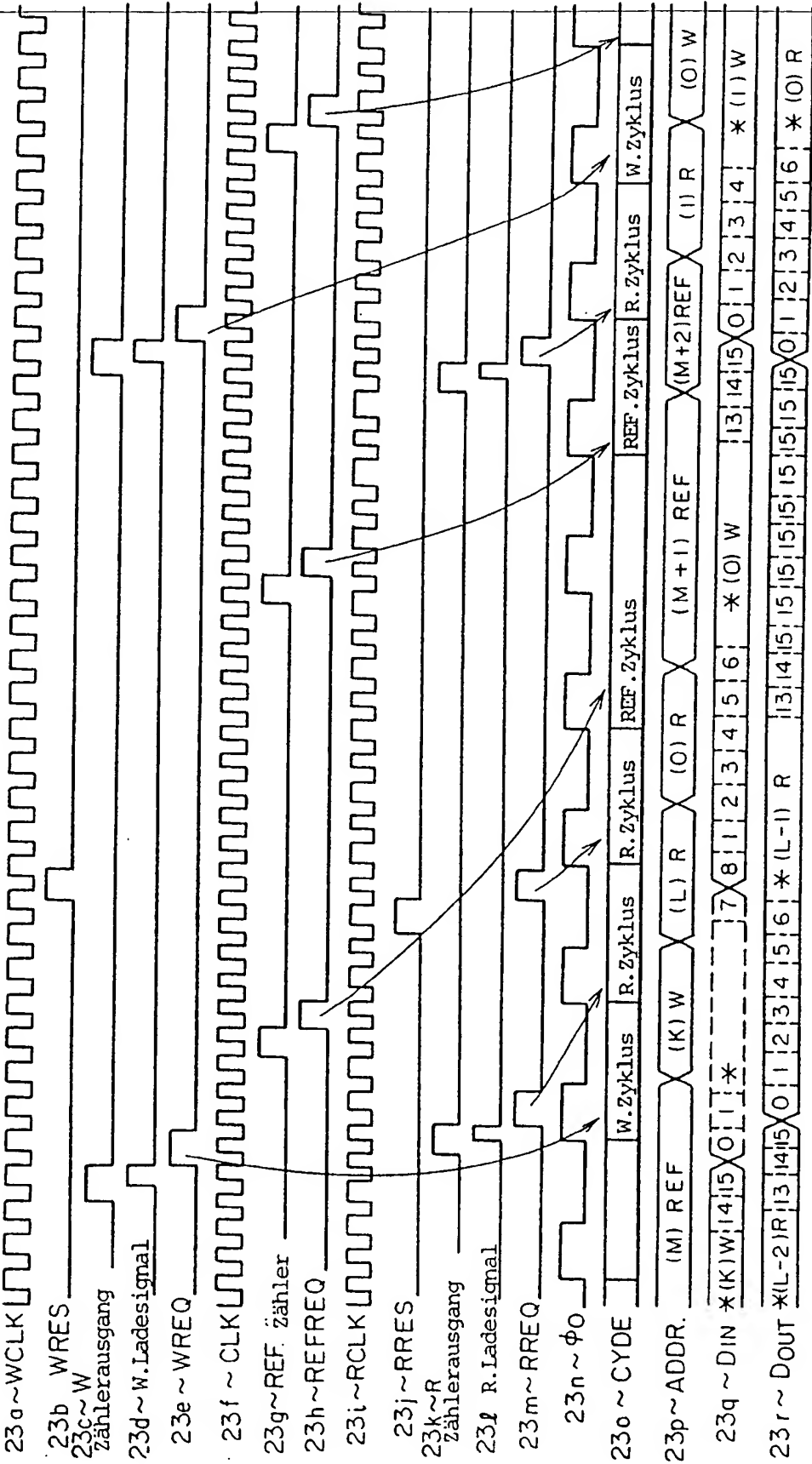


FIG. 24

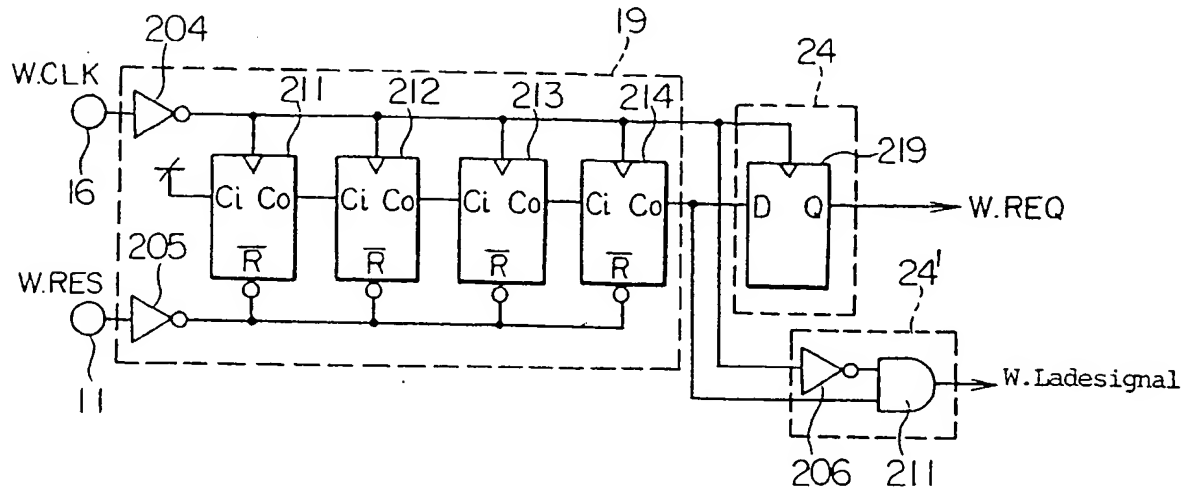


FIG. 25

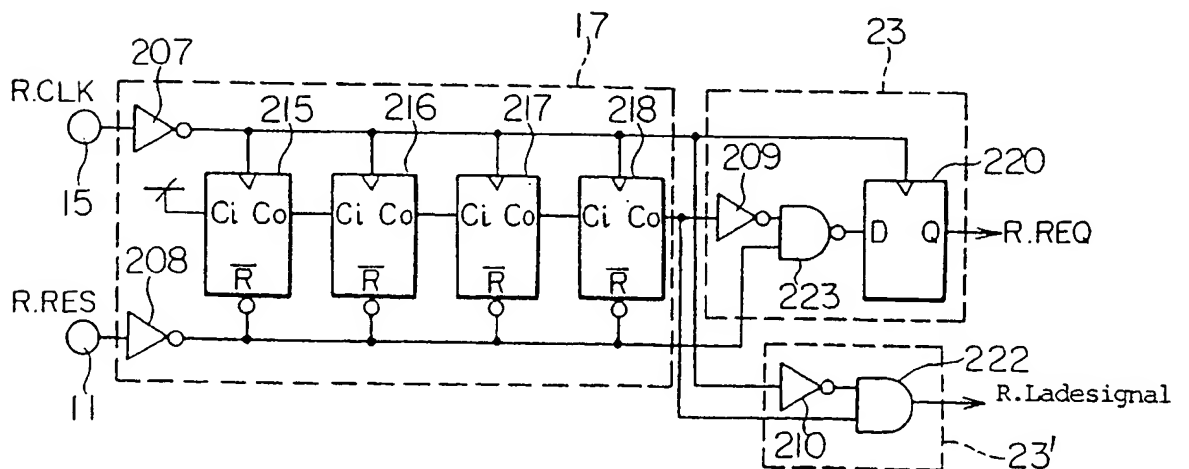
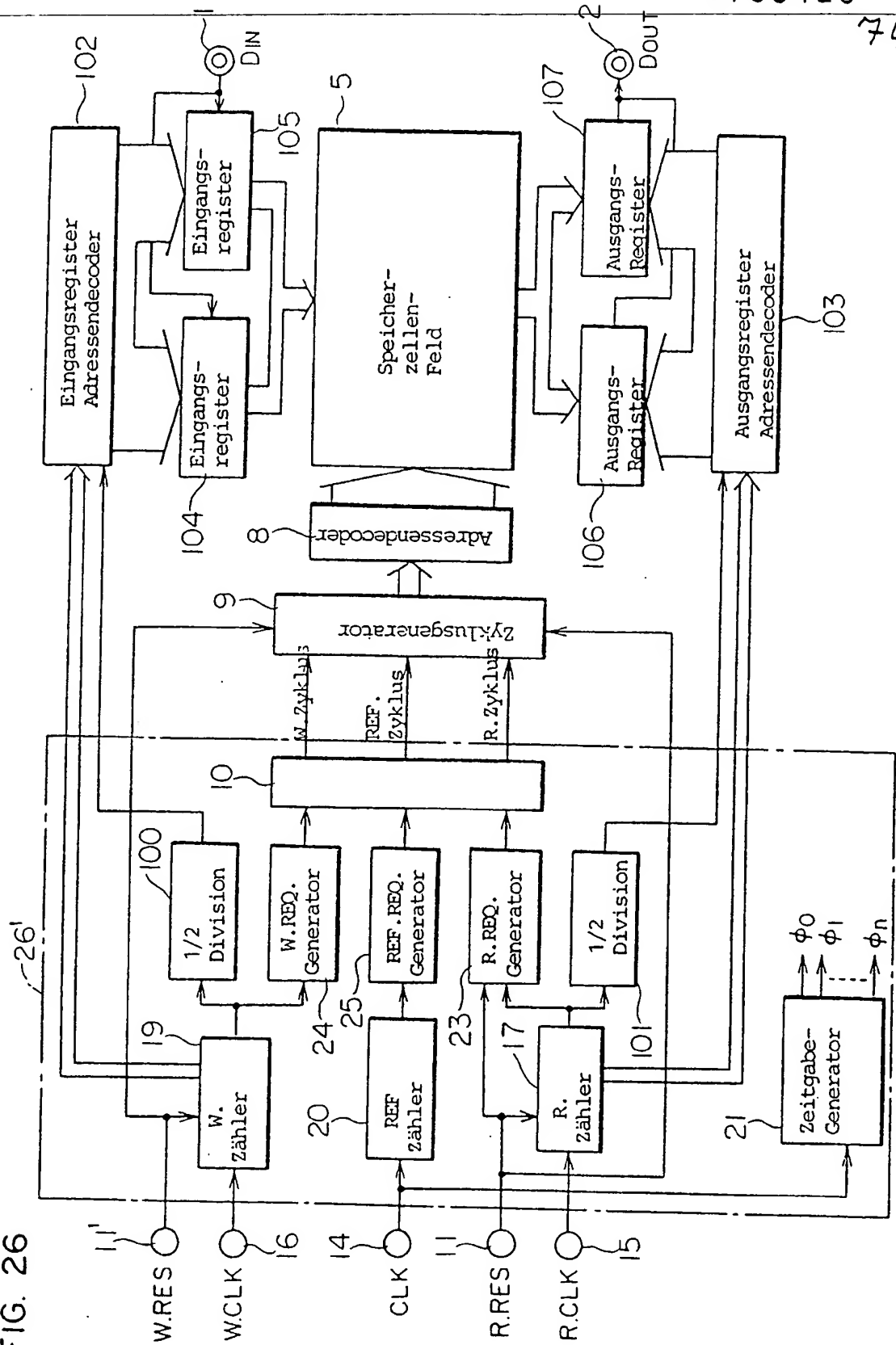


FIG. 26



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.